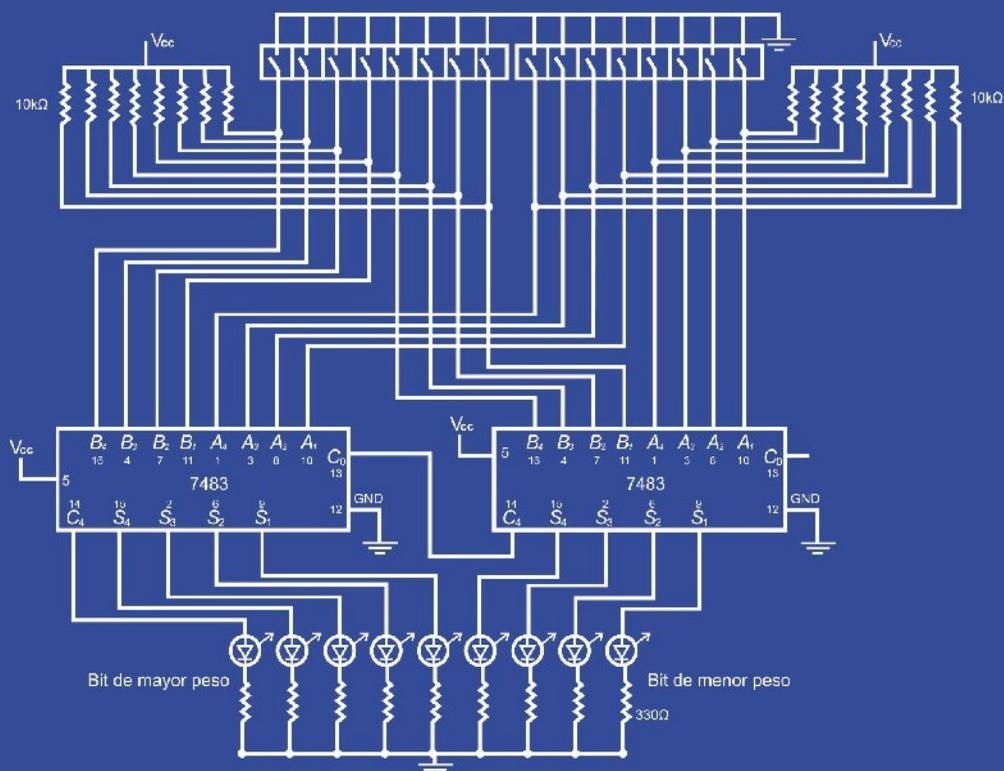




Manual de laboratorio de Electrónica Digital



Manual de laboratorio de Electrónica Digital

ÁLVARO PÉREZ TIRADO
JAIRO PLAZA CASTILLO

1ra. Edición



Manual de laboratorio de Electrónica Digital

ÁLVARO PÉREZ TIRADO
JAIRO PLAZA CASTILLO



Catalogación en la publicación. Universidad del Atlántico. Departamento de Bibliotecas

Pérez Tirado, Álvaro

Manual de laboratorio de electrónica digital / Álvaro Pérez Tirado, Jairo Plaza Castillo. Barranquilla: Sello Editorial Universidad el Atlántico, 2018. 182 páginas. 21 x 28 Centímetros. Incluye bibliografía.

ISBN 978-958-5525-47-4 (Libro descargable PDF)

1. Electrónica digital 2. Circuitos lógicos -- Manuales 3. Procesamiento electrónico de datos --Manuales I. Pérez Tirado, I. Álvaro Torres II. Jairo Plaza Castillo.

CDD: 621.381 P438

MANUAL DE LABORATORIO DE ELECTRÓNICA DIGITAL. INTRODUCCIÓN A LA ELECTRÓNICA DIGITAL

Álvaro Pérez Tirado - Jairo Plaza Castillo

© Universidad del Atlántico, 2018

Edición:

Sello Editorial Universidad del Atlántico
Km 7 Vía Puerto Colombia (Atlántico)
www.uniatlantico.edu.co
publicaciones@mail.uniatlantico.edu.co

Impresión:

Calidad Gráfica S.A.
Av. Circunvalar Calle 110 No. 6QSN-522
PBX: 336 8000
lsalcedo@calidadgrafica.com.co
Barranquilla, Colombia

Publicación Electrónica
Barranquilla (Colombia), 2018

Nota legal: Reservados todos los derechos. No se permite la reproducción total o parcial de esta obra, ni su transmisión en cualquier forma o por cualquier medio (electrónico, mecánico, fotocopia, grabación u otros medios conocidos o por conocerse) sin autorización previa y por escrito de los titulares de los derechos patrimoniales. La infracción de dichos derechos puede constituir un delito contra la propiedad intelectual. La responsabilidad del contenido de este texto corresponde a sus autores.

Depósito legal según Ley 44 de 1993, Decreto 460 del 16 de marzo de 1995, Decreto 2150 de 1995 y Decreto 358 de 2000.

Cómo citar este libro:

Pérez Tirado, Á. & Plaza Castillo, J. (2018). *Manual de laboratorio de electrónica digital. Introducción a la electrónica digital*. Barranquilla: Editorial Universidad del Atlántico

A mi compañera de vida Rosalba, e hijos Iván
y Javier por su incondicional apoyo. Juntos
buscamos la felicidad.

Álvaro Pérez

A mi esposa Yamileth y a nuestro hijo Javier por
ser el centro de nuestro amor.

Jairo Plaza

A todos los estudiantes que tomen este manual
con ansias de aprender lo básico del interesante
mundo de la Electrónica Digital a través de la
experimentación.

Los autores

Contenido

PREFACIO	21
REGLAMENTO INTERNO DE LABORATORIO	23
REGLAS DE SEGURIDAD EN EL LABORATORIO	25
LA FRECUENCIA EN LA CONDUCCIÓN ELÉCTRICA.....	28
CIRCUITO SUMADOR DE CUATRO Y DE OCHO BITS UTILIZANDO EL	
CIRCUITO INTEGRADO 7483	29
INTRODUCCIÓN	29
COMPETENCIA EVALUADA	29
INDICADORES DE LOGROS	29
CONTENIDO TEMÁTICO.....	30
Circuito Integrado 7483.....	30
Display de siete segmentos.....	32
TAREAS PRELIMINARES	33
OBJETIVOS DE LA PRÁCTICA	34
DESARROLLO DE LA PRÁCTICA	34
Materiales de la práctica	34
Precauciones y recomendaciones.....	34
Montajes de la práctica.....	35
<i>Circuito sumador de 4 bits</i>	35
<i>Circuito sumador de 8 bits</i>	35
Procedimiento de la práctica.....	36
Preguntas sobre la práctica	36
ACTIVIDADES ADICIONALES	38

DESARROLLO PRÁCTICO DEL RESTADOR DE CUATRO BITS UTILIZANDO EL CIRCUITO INTEGRADO 7483 Y UNA COMPUERTA NOT 7404	39
INTRODUCCIÓN	39
COMPETENCIA EVALUADA	39
INDICADORES DE LOGROS	39
CONTENIDO TEMÁTICO.....	40
Circuito Integrado 7404	40
Complemento.....	40
Operación resta en los sistemas numéricos.....	42
<i>Cuando el minuendo es mayor que el sustraendo.....</i>	42
<i>Complemento a uno:.....</i>	44
<i>Complemento a dos:.....</i>	44
TAREAS PRELIMINARES	45
OBJETIVOS DE LA PRÁCTICA	46
DESARROLLO DE LA PRÁCTICA.....	46
Materiales de la práctica	46
Precauciones y recomendaciones.....	46
Montajes de la práctica.....	47
Procedimiento.....	47
<i>Circuito restador de 4 bits</i>	47
Preguntas sobre la práctica	48
ACTIVIDADES ADICIONALES	48
DESARROLLO PRÁCTICO DE LAS DISTINTAS COMPUERTAS LÓGICAS BÁSICAS (NOT, AND, OR, NAND, NOR, XOR Y XNOR)	51
INTRODUCCIÓN	51
COMPETENCIA EVALUADA	51
INDICADORES DE LOGROS	51
CONTENIDO TEMÁTICO	52
Norma ASA (American Standard Association)	52
TAREAS PRELIMINARES.....	55
OBJETIVOS DE LA PRÁCTICA	55
DESARROLLO DE LA PRÁCTICA.....	56
Materiales de la práctica	56
Precauciones y recomendaciones.....	56
Montaje de la práctica.....	56
Procedimiento de la práctica.....	57
Preguntas de la práctica	57
ACTIVIDADES ADICIONALES	59
DISEÑO Y CONSTRUCCIÓN DE UN CIRCUITO REAL A PARTIR DE UNA FUNCIÓN LÓGICA	61
INTRODUCCIÓN.....	61
COMPETENCIA EVALUADA	61
INDICADORES DE LOGROS	61
CONTENIDO TEMÁTICO	62

Funciones lógicas.....	62
TAREAS PRELIMINARES	62
OBJETIVOS DE LA PRÁCTICA	63
DESARROLLO DE LA PRÁCTICA.....	63
Materiales de la práctica	63
Precauciones y recomendaciones.....	63
Montaje de la práctica	64
Procedimiento.....	64
Preguntas de la práctica	64
ACTIVIDADES ADICIONALES	65

DISEÑO Y CONSTRUCCIÓN DEL CIRCUITO REAL A PARTIR DE LA TABLA

DE VERDAD	67
INTRODUCCIÓN	67
COMPETENCIA EVALUADA	67
INDICADORES DE LOGROS	67
CONTENIDO TEMÁTICO	68
Tabla de verdad de una función lógica	68
<i>Suma de productos o minitérminos (SOP)</i>	68
<i>Productos de suma o máxtérminos (POS)</i>	69
TAREAS PRELIMINARES	71
OBJETIVOS DE LA PRÁCTICA	71
DESARROLLO DE LA PRÁCTICA.....	72
Materiales de la práctica	72
Precauciones y recomendaciones.....	72
Montaje de la práctica	72
Procedimiento.....	73
Preguntas de la práctica	74
ACTIVIDADES ADICIONALES	74

FORMA CANÓNICA Y SIMPLIFICACIÓN DE FUNCIONES UTILIZANDO EL

ÁLGEBRA BOOLEANA	75
INTRODUCCIÓN	75
COMPETENCIA EVALUADA	75
INDICADORES DE LOGROS	75
CONTENIDO TEMÁTICO	76
Álgebra Booleana.....	76
Postulados en el álgebra Booleana.....	76
<i>Elementos del conjunto Booleano</i>	76
Propiedades del álgebra Booleana.....	80
<i>Propiedad conmutativa para la suma y el producto</i>	80
<i>Propiedad asociativa para la suma y el producto</i>	80
<i>Propiedad distributiva</i>	81
Teoremas del álgebra Booleana	81
<i>Teorema de absorción</i>	81
<i>Teorema de De Morgan</i>	81

Forma canónica de una función Booleana	82
<i>Forma de convertir cualquier función a su forma canónica SOP.</i>	82
<i>Forma de convertir cualquier función a su forma canónica SOP.</i>	83
TAREAS PRELIMINARES	83
OBJETIVOS DE LA PRÁCTICA	84
DESARROLLO DE LA PRÁCTICA.....	84
Materiales de la práctica	84
Precauciones y recomendaciones.....	84
Montajes de la práctica	85
Procedimiento.....	86
Preguntas sobre la práctica.	86
ACTIVIDADES ADICIONALES.....	86
PUERTAS UNIVERSALES NAND Y NOR	87
INTRODUCCIÓN	87
COMPETENCIA EVALUADA	87
INDICADORES DE LOGROS	87
CONTENIDO TEMÁTICO.....	88
Puertas básicas expresadas únicamente con puertas NAND.	88
<i>Puerta NOT ($Y = \bar{A}$)</i>	88
<i>Puerta AND ($Y = AB$)</i>	88
<i>Puerta OR ($Y = A + B$)</i>	89
<i>Puerta NOR ($Y = \overline{A + B}$)</i>	89
<i>Puerta XOR ($Y = A \oplus B = \bar{A}B + A\bar{B}$)</i>	89
<i>Puerta XNOR $Y = A \oplus B = \bar{A}B + A\bar{B}$</i>	90
Implementación de una función lógica con puertas NAND.....	90
Implementación de una función lógica con puertas NOR.	91
TAREAS PRELIMINARES.....	92
OBJETIVOS DE LA PRÁCTICA	92
DESARROLLO DE LA PRÁCTICA.....	93
Materiales de la práctica	93
Precaución y recomendaciones.....	93
Montajes de la práctica.....	93
Procedimiento	94
Preguntas de la práctica	95
ACTIVIDADES ADICIONALES.....	95
DESARROLLO PRÁCTICO DE UN SUMADOR COMPLETO EN BCD	97
INTRODUCCIÓN.....	97
COMPETENCIA EVALUADA	97
INDICADORES DE LOGROS	97
CONTENIDO TEMÁTICO.....	98
Código BCD (Decimal Codificado en Binario).....	98
Conversión entre un número decimal y un número en BCD	99
Suma en BCD	99
<i>Error en BCD</i>	100

<i>Circuito que detecta la presencia de CNVBCD</i>	100
TAREAS PRELIMINARES.....	101
OBJETIVOS DE LA PRÁCTICA	101
DESARROLLO DE LA PRÁCTICA.....	101
Materiales de la práctica	101
Precaución y recomendaciones.....	102
Montajes de la práctica	102
Procedimiento.....	103
Preguntas sobre la práctica	103
ACTIVIDADES ADICIONALES	104

SIMPLIFICACIÓN DE FUNCIONES LÓGICAS POR EL MÉTODO DE

KARNAUGH	105
INTRODUCCIÓN	105
COMPETENCIA EVALUADA	105
INDICADORES DE LOGROS	105
CONTENIDO TEMÁTICO	106
Mapas de Karnaugh.....	106
Mapas de Karnaugh para una función lógica de tres variables	106
Método para simplificar una función Booleana por Karnaugh	107
Ejemplo por min-términos (SOP) para una función de 4 variables ...	107
Ejemplo por min-términos (SOP) para una función de 5 variables....	109
Condiciones no importa o indiferentes.....	110
TAREAS PRELIMINARES.....	112
OBJETIVOS DE LA PRÁCTICA	112
DESARROLLO DE LA PRÁCTICA.....	112
Materiales de la práctica	112
Precauciones y recomendaciones.....	113
Montajes de la práctica.....	113
Procedimiento.....	114
Preguntas sobre la práctica	114
ACTIVIDADES ADICIONALES	115

SOLUCIÓN DE PROBLEMAS REALES UTILIZANDO LA LÓGICA

COMBINACIONAL.....	117
INTRODUCCIÓN	117
COMPETENCIA EVALUADA	117
INDICADORES DE LOGROS	117
CONTENIDO TEMÁTICO	118
Circuito combinacional.....	118
Ejemplo de un circuito combinacional	118
Tabla de la verdad del problema	119
<i>Mapa de Karnaugh.....</i>	120
<i>Diseño del circuito lógico</i>	120
TAREAS PRELIMINARES.....	121
OBJETIVOS DE LA PRÁCTICA	121

DESARROLLO DE LA PRÁCTICA.....	122
Materiales de la práctica	122
Precauciones y recomendaciones.....	122
Montajes de la práctica.....	123
Procedimiento.....	123
<i>Problema 1</i>	123
<i>Problema 2</i>	123
<i>Problema 3</i>	124
<i>Problema 4</i>	124
<i>Problema 5</i>	124
<i>Problema 6</i>	125
<i>Problema 7</i>	125
Preguntas sobre la práctica	126
ACTIVIDADES ADICIONALES	127

DECODIFICADORES, CODIFICADORES, MULTIPLEXORES Y

DEMULTIPLEXORES	129
INTRODUCCIÓN	129
COMPETENCIA EVALUADA	129
INDICADORES DE LOGROS	129
CONTENIDO TEMÁTICO.....	130
Decodificadores (Dec).....	130
Codificadores (Cod)	134
<i>Codificadores no prioritarios</i>	135
Multiplexores (MUX)	137
<i>Multiplexor digital de 4 entradas</i>	138
<i>Multiplexor 16 a 1 (74150)</i>	140
<i>Multiplexor 8 a 1 (74151)</i>	141
<i>Multiplexor 4 a 1 (74153)</i>	144
<i>Multiplexor 2 a 1 (74157)</i>	146
Demultiplexores (DMUX).....	149
TAREAS PRELIMINARES.....	151
OBJETIVOS DE LA PRÁCTICA	151
PROCEDIMIENTO DE LA PRÁCTICA	152
Materiales de la práctica	152
Precauciones y recomendaciones.....	152
Montajes de la práctica.....	152
Procedimiento.....	153
Preguntas de la práctica	154
ACTIVIDADES ADICIONALES	155

DESARROLLO E IMPLEMENTACIÓN DE CIRCUITO QUE MUESTRE LA

APLICACIÓN DE LOS DIFERENTES TIPOS DE FLIP-FLOP (F/F)	159
INTRODUCCIÓN	159
COMPETENCIA EVALUADA	159
INDICADORES DE LOGROS	159

CONTENIDO TEMÁTICO	160
Circuitos biestables.....	160
<i>Biestables asíncronos (latch)</i>	160
<i>Biestables síncronos (Flip-Flop)</i>	162
Tipos de Flip Flop (F/F).....	162
<i>Flip Flop J-K</i>	162
<i>Flip Flop T</i>	164
<i>Flip Flop D</i>	166
Ejemplos	167
<i>Ejemplo 1</i>	167
<i>Ejemplo 2</i>	168
<i>Ejemplo 3</i>	169
TAREAS PRELIMINARES.....	172
OBJETIVOS DE LA PRÁCTICA	172
DESARROLLO DE LA PRÁCTICA.....	172
Materiales de la práctica	172
Precauciones y recomendaciones.....	173
Montajes de la práctica.....	173
Procedimiento.....	173
Preguntas sobre la práctica	174
ACTIVIDADES ADICIONALES	174
BIBLIOGRAFÍA	179
GUÍA DEL INFORME DE LABORATORIO DE ELECTRÓNICA DIGITAL	181

Lista de Figuras y Mapas

Figura 1.1. Circuito integrado 7483.....	30
Figura 1.2. Diagrama lógico del circuito integrado 7483 (Alldatasheet, 2018).....	32
Figura 1.3. Display de siete segmentos de ánodo común y cátodo común	33
Figura 1.4. Diagrama del circuito sumador de 4 bits	35
Figura 1.5. Diagrama del circuito sumador de 8 bits	35
Figura 2.1. Circuito integrado 7404. Seis inversores o compuertas NOT	40
Figura 2.2. Diagrama del circuito restador de 4 bits.....	47
Figura 3.1. Diagrama del circuito para la comprobación de las puertas básica	56
Figura 3.2. Diagramas de tiempo para las compuertas básicas.....	59
Figura 3.3. Código para el encendido y apagado de un diodo LED.....	60
Figura 6.1. Representación del circuito lógico del postulado 1	76
Figura 6.2. Representación del circuito lógico del postulado 2	77
Figura 6.3. Representación del circuito lógico del postulado 3	77
Figura 6.4. Representación del circuito lógico del postulado 4	78
Figura 6.5. Representación del circuito lógico del postulado 5	78
Figura 6.6. Representación del circuito lógico del postulado 6.....	79
Figura 6.7. Representación del circuito lógico del postulado 7.....	79
Figura 6.8. Representación del circuito lógico del postulado 8.....	80

Figura 6.9. Representación del circuito lógico del postulado 9	80
Figura 7.1. Puerta NOT	88
Figura 7.2. Puerta AND	89
Figura 7.3. Puerta OR.....	89
Figura 7.4. Puerta NOR.....	89
Figura 7.5. Puerta XOR.....	90
Figura 7.6. Puerta XNOR.....	90
Figura 7.7. Circuito lógico de la función Booleana Y	91
Figura 7.8. Circuito lógico de la función Booleana Y.....	92
Figura 7.9. Circuito lógico de la función Booleana Y.....	94
Figura 8.1. Circuito lógico de CNVBCD.....	100
Figura 8.2. Circuito sumador en BCD	103
Mapa 9.1. Mapa de Karnaugh para la función de tres variables.....	107
Mapa 9.2. Mapa de Karnaugh de la función Y de la Tabla 9.2.....	108
Mapa 9.3. Mapa de Karnaugh con la ubicación de los “1” según el mapa 9.2	108
Mapa 9.4. Agrupación de “1” de la función de salida Y	109
Mapa 9.5. Mapa de karnaugh de cinco variables.....	110
Mapa 9.6. Mapa de Karnaugh	112
Figura 9.1. Diagrama en bloques del circuito (Padilla G. , 1997, pág. 40).....	113
Figura 10.1. Diagrama en bloque de un circuito combinacional.....	118
Figura 10.2. Diagrama en bloque de un circuito combinacional	119
Mapa 10.1. Mapa de Karnaugh del ejemplo.....	120
Figura 10.3. Circuito lógico de la función lógica Y	120
Figura 10.4. Diagrama de bloques del circuito	123
Figura 10.5. Diagrama de bloques del circuito	124
Figura 10.6. Diagrama de bloques del circuito	124
Figura 10.7. Diagrama de bloques del circuito	125
Figura 11.1. Diagrama de bloques de un decodificador.....	130
Figura 11.2. Circuito lógico del decodificador 2×4.....	131
Figura 11.3. Implementación de F ₁ y F ₂ con el decodificador 3×8.....	132
Figura 11.4. Decodificador BCD a 7 segmentos	132
Figura 11.5. Circuito del visualizador de los dígitos del sistema hexadecimal	134
Figura 11.6. Diagrama de bloques de un codificador.....	134
Figura 11.7. Circuito lógico de un codificador 8:3.....	136
Figura 11.8. Codificador 74LS148 de prioridad 8:3.....	136
Figura 11.9. Diagrama equivalente de un multiplexor	138
Figura 11.10. Símbolo del Multiplexor	138
Figura 11.11. Multiplexor 4 a 1	138

Figura 11.12. Diagrama lógico del multiplexor 4 a 1.....	139
Mapa 11.1. Mapa de Karnaugh de cuatro variables lógicas.....	140
Figura 11.13. Circuito de la función lógica obtenida del mapa de Karnaugh	141
Mapa 11.2. Líneas de entras del MUX 8:1	142
Mapa 11.3. Doblamiento del MUX 16:1 en el MUX 8:1.....	143
Figura 11.14. Diagrama esquemático para la función de salida F (A, B, C, D).....	143
Mapa 11.4. Doblamiento del MUX 16:1 en el MUX 4:1.....	144
Figura 11.15. Circuito de la función lógica obtenida del mapa de Karnaugh	146
Mapa 11.5. Doblamiento del MUX 16:1 en el MUX 2:1.....	146
Figura 11.16. Circuito de la función lógica obtenida del mapa de Karnaugh	148
Figura 11.17. Diagrama equivalente de un demultiplexor	149
Figura 11.18. Demultiplexor 1 a 4.....	149
Figura 11.19. Diagrama en bloques de un decodificador 2 a 4	150
Figura 11.20. Diagrama en bloques de un demultiplexor 4 a 1.....	150
Figura 11.21. Display de siete segmentos.....	153
Mapa 11.6. Mapa de Karnaugh de cuatro variables lógicas.....	154
Figura 11.22. Figura del problema de las actividades adicionales 11.8.....	156
Figura 12.1. Símbolo del biestable RS asíncrono.....	160
Figura 12.2. Biestable RS - NOR.....	161
Figura 12.3. Determinación de $Q(t+1)$ de puertas NOR.....	161
Figura 12.4. Determinación de $Q(t+1)$ de puertas NOR.....	161
Figura 12.5. Símbolo del biestable RS síncrono	162
Figura 12.6. Circuito lógico del F/F J-K	163
Figura 12.7. Símbolo del F/F J-K	163
Figura 12.8. Símbolo del F/F tipo T	165
Figura 12.9. Circuito lógico del F/F tipo D activado por flanco ascendente	166
Figura 12.10. Símbolo del F/F tipo D activado por flanco ascendente.....	166
Figura 12.11. Circuito lógico del F/F J-K activado por flanco ascendente	167
Figura 12.12. Símbolo del F/F tipo J-K activado por flanco ascendente	167
Figura 12.13. Circuito lógico del F/F tipo T activado por flanco ascendente	168
Figura 12.14. Símbolo del F/F tipo T activado por flanco ascendente.....	168
Figura 12.15. Circuito secuencial con F/F-JK (Karris, 2007, págs. 8-42)	169
Figura 12.16. Diagrama de estados para $X=0$	171
Figura 12.17. Diagrama de estados para $X=1$	171
Figura 12.18. Diagrama de estado del sistema.....	173

Lista de Tablas

Tabla 2.1. Dígitos decimales con su complemento a uno	41
Tabla 2.2. Dígitos del sistema octal con su complemento a uno	41
Tabla 2.3. Dígitos del sistema binario con su complemento a uno.....	42
Tabla 3.1. Compuertas básicas.....	52
Tabla 3.2. Distribución de pines y circuito eléctrico equivalente de los circuitos integrados básicos	53
Tabla 3.3. Compuertas básicas TTL según la norma (IEC).....	57
Tabla 5.1. Tabla de verdad de la compuerta XOR.....	69
Tabla 5.2. Tabla de verdad de la compuerta XOR	70
Tabla 5.3. Tabla de verdad de un circuito X de cuatro entradas y siete salidas	72
Tabla 6.1. prueba del teorema de De Morgan	82
Tabla 6.2. Tabla de verdad de un circuito X de cuatro entradas y siete salidas	85
Tabla 7.1. Tabla de verdad de un circuito X de cuatro entradas y dos salidas	94
Tabla 8.1. Equivalencia entre los números decimal, binario y BCD	98
Tabla 8.2. Código No Válido en BCD (CNVBCD)	100
Tabla 9.1. Tabla de verdad para la función lógica de variables A, B y C.....	106
Tabla 9.2. Tabla de verdad de un circuito X de cuatro entradas y una salida	107
Tabla 9.3. Tabla de verdad del problema.....	111
Tabla 9.4. Tabla de verdad	115

Tabla 10.1. Tabla de verdad del problema	119
Tabla 11.1. Configuración para cada decodificador del integrado 74139.....	131
Tabla 11.2. Tabla de verdad de la codificación	133
Tabla 11.3. Tabla de verdad del codificador 8:3	135
Tabla 11.4. Tabla de verdad del codificador 74LS148 con prioridad	137
Tabla 11.5. Tabla de la verdad para el multiplexor 4 a 1.....	139
Tabla 11.6. Tabla de verdad del Mapa de Karnaugh de la tabla 11.2	140
Tabla 11.7. Función lógica F (A, B, C, D).....	145
Tabla 11.8. Función lógica F (A, B, C, D) simplificada.....	145
Tabla 11.9. Función lógica F (A, B, C, D).....	147
Tabla 11.10. Función lógica F (A, B, C, D).....	148
Tabla 11.11. Tabla de la verdad para el demultiplexor 1 a 4.....	149
Tabla 11.12. Tabla de la verdad para el decodificador 2 a 4.....	150
Tabla 11.13. Tabla de verdad de un problema X	152
Tabla 12.1. Tabla de estado del latch RS con puertas NOR	161
Tabla 12.2. Tabla de verdad del F/F J-K.....	164
Tabla 12.3. Resumen de la tabla de verdad del F/F J-K.....	164
Tabla 12.4. Tabla de excitación del F/F J-K	164
Tabla 12.5. Tabla de verdad del F/F tipo T.....	165
Tabla 12.6. Resumen de la tabla de verdad del F/F tipo T.....	165
Tabla 12.7. Tabla de excitación del F/F tipo T	166
Tabla 12.8. Tabla de verdad del F/F tipo T.....	166
Tabla 12.9. Tabla de verdad del F/F J-K activado con flanco ascendente....	168
Tabla 12.10. Tabla de verdad del F/F tipo T activado con flanco ascendente	169
Tabla 12.11. Tabla de verdad de la operación secuencial	170
Tabla 12.12. Tabla de verdad para X=0.....	170
Tabla 12.13. Tabla de verdad para X=1	171
Tabla 12.14. Entradas y salidas del sistema.....	174

Prefacio

Este Manual de experimentos de Electrónica Digital contiene conceptos teóricos y prácticos que le sirven al estudiante en el desarrollo de habilidades y destrezas para el manejo, diseño, construcción, interpretación y simulación de circuitos electrónicos y, además, le brindan una base para continuar su formación con aspectos más complejos sobre el campo profesional en el que se ubica la asignatura.

El Manual puede utilizarse como guía para un curso de Electrónica digital con un nivel medio de dificultad, y se encuentra adecuado para estudiantes de los programas de Física, Ingeniería Mecánica, Electrónica y áreas afines.

Algunos de los experimentos de este manual provienen de diferentes fuentes y han sido adaptados a los objetivos que se propone alcanzar la asignatura de Electrónica Digital impartida en el programa de Física de la Universidad del Atlántico y a los recursos disponibles en el laboratorio de Instrumentación y Metrología.

Para cada uno de los experimentos descritos en el Manual, se han cubierto los siguientes aspectos: objetivos del experimento, marco teórico, materiales, montaje y preguntas sobre la práctica y enunciados de actividades extras, que el alumno debe realizar para afianzar los conocimientos adquiridos. A su vez, el Manual está conformado por doce prácticas de laboratorio de Electrónica

PREFACIO

ÁLVARO PÉREZ TIRADO - JAIRO PLAZA CASTILLO

Digital que abarcan tres grandes temas que son los sistemas numéricos, circuitos combinacionales y circuitos secuenciales.

Al finalizar cada experimento de este Manual se espera que el estudiante sea capaz de identificar y caracterizar los componentes que conforman el circuito lógico, simular los circuitos propuestos utilizando programas informáticos apropiados, manejar los equipos convenientes para mediciones eléctricas y electrónicas, realizar circuitos básicos de los enunciados de problemas de interés y construir circuitos electrónicos sencillos usando algunos elementos, como por ejemplo, los microcontroladores.

Reglamento Interno de Laboratorio

Los alumnos que realicen prácticas de laboratorio correspondientes a las asignaturas de electrónica, como Teoría de Circuitos, Electrónica I y Electrónica II, deben tener en cuenta las normas contenidas en el presente reglamento:

1. Este Manual se puede adquirir con su profesor. Cada estudiante debe traer el material necesario para cada experiencia. Con la ayuda del Manual y la bibliografía sugerida, el estudiante deberá prepararse para realizar el experimento de manera autónoma.
2. Se exige puntualidad en las prácticas. Pasados diez minutos de la hora de iniciación, no se permitirá el ingreso al laboratorio.
3. En la primera sesión de laboratorio, el profesor procederá a distribuir los estudiantes en grupos de trabajo y se darán las indicaciones generales del curso.
4. El profesor evaluará la preparación de los estudiantes y dará la autorización expresa de iniciar la práctica si los resultados son satisfactorios.
5. El material o equipo de laboratorio se devolverá al profesor o auxiliar al finalizar la práctica en el estado en que se recibieron.
6. En caso de daño por negligencia o pérdida de algún material, este deberá reponerse antes de iniciar la siguiente práctica con uno de la misma calidad y referencia.

7. En caso de alguna duda en el montaje, el estudiante podrá consultarle al profesor. Durante el laboratorio, el profesor supervisará y evaluará el desempeño de cada estudiante.
8. El estudiante deberá redactar su informe en forma clara y legible. La nota en el experimento es una valoración de su trabajo, esfuerzo y dedicación.
9. Cuando el estudiante falte por causa justificada, debe acreditarla, siguiendo el conducto establecido en el reglamento estudiantil para los exámenes supletorios y podrá recuperarse en la fecha y hora acordada con el respectivo profesor, previa presentación de la autorización del supletorio.
10. El retiro no autorizado del salón de laboratorio, se considera como inasistencia.

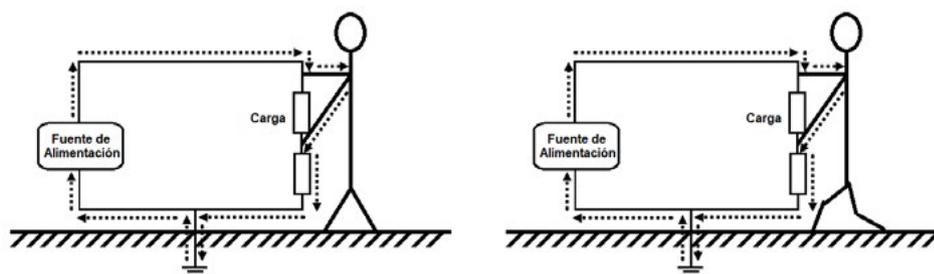
Reglas de seguridad en el laboratorio

Los accidentes de origen eléctrico pueden provocar daños sobre las personas (lesiones, e incluso muerte) y los bienes (equipos dañados, riesgo de incendio y explosiones). La mayoría de estos accidentes tienen su origen en una falla humana (por negligencia o ignorancia). Esto implica que podrían evitarse si las personas involucradas conocieran y llevaran a la práctica ciertas normas básicas de seguridad.

Las prácticas propuestas en este libro no representan ningún riesgo para los estudiantes, sin embargo, se recomienda tener en cuenta algunas precauciones necesarias para el manejo de los equipos y de las variables eléctricas como voltaje y corriente. Por ello, es importante estar atento a las instrucciones del profesor.

El riesgo eléctrico consiste en la posibilidad de circulación de la corriente eléctrica a través del cuerpo humano. Para que esto ocurra, el cuerpo debe formar parte de un circuito eléctrico (Bosco, 2018).

Algunos ejemplos son:



La posibilidad de recibir una descarga eléctrica depende en gran medida del contacto con un suministro de energía. Los contactos pueden ser:

Contacto directo con las partes activas del equipo que están diseñadas para manejar corriente (cables, contactos, clavijas, barras de distribución, etc.).

Contacto indirecto con las partes que habitualmente no están diseñadas para manejar corriente, pero que pueden quedar en tensión por algún defecto o deterioro.

Se denomina descarga eléctrica en un objeto cuando la corriente eléctrica usa como medio de transmisión a este mismo. En el caso que este objeto resulte ser el cuerpo humano, decimos entonces que la persona ha sufrido una descarga eléctrica. La electricidad daña los tejidos al transformarse en energía térmica. El daño tisular no ocurre únicamente en el lugar de contacto con la piel, sino que puede abarcar a tejidos u órganos subyacentes a la zona de entrada o de salida de la corriente. El grado de lesión tisular depende de varios factores:

El tipo de circuito eléctrico puede ser de corriente continua (CC) o de corriente alterna (CA). Mientras que la corriente directa produce espasmos musculares tan solo al principio con cese del flujo de corriente, la corriente alterna produce contracción muscular y relajación con cada ciclo. Cuanto mayor sea el voltaje, mayor es su efecto sobre el organismo.

Intensidad de la corriente el amperaje determina ordinariamente la gravedad de la lesión, siempre que los otros factores sean idénticos. Una corriente superior a 10 mA que atraviese un cuerpo humano, puede paralizar a la víctima hasta el extremo de que a esta le resulte imposible separarse de un conductor cargado. Si la víctima de un choque queda expuesta a una corriente superior a 100 mA, el incidente suele ser mortal. Además, una corriente de 100 mA puede producir fibrilación ventricular en determinadas circunstancias, pudiendo ocurrir detención respiratoria por lesión del sistema nervioso central y llevar a para cardíaco.

La siguiente Tabla muestra algunos valores de la corriente en mA que atraviesa el cuerpo humano con sus efectos.

Corriente que atraviesa el cuerpo humano (mA)	EFFECTOS
Hasta 1	Imperceptible para el hombre.
De 2 a 3	Parestesias.
De 3 a 10	La corriente no es mortal. El sujeto logra normalmente desprenderse del contacto.
De 10 a 25	Contracción muscular, aumento de presión arterial.
De 25 a 80	Posible perturbación en el ritmo cardíaco y respiratorio. Posibilidad de paro cardiorrespiratorio.
De 80 mA a 3 Amp.	Perturbación del ritmo cardíaco. Posibilidad de paro cardiorrespiratorio.
Mayor a 3 Amp.	Especialmente peligrosa. Puede ocasionar fibrilación ventricular de consecuencias mortales en la mayoría de los casos, por lo general ocasiona la muerte.

La resistencia al flujo de la corriente por el cuerpo varía según el tejido involucrado. Oponen las menores resistencias el tejido nervioso, sanguíneo, linfático y el líquido cefalorraquídeo, mientras que a los huesos corresponde la resistencia más alta. Por otra parte, es sumamente elevada la resistencia de la piel intacta y seca, pero varía según el espesor, limpieza y grado de humedad. La resistencia de la piel seca es 20 veces mayor que la de la piel húmeda y salina.

La relación entre corriente y tensión no es lineal, debido a que la resistencia del cuerpo humano varía con la tensión de contacto.

Los efectos fisiológicos de la corriente son proporcionales a la densidad de corriente que pasa por el área involucrada. Es decir, una corriente que pasa a través de una pequeña porción de tejido tiene mayor efecto que cuando la misma corriente pasa a través un área de mayor tamaño. Por lo tanto, como correlación práctica, se debe tener en cuenta el tamaño de los electrodos al diseñar circuitos electrónicos para fisioterapia. Generalmente, la aplicación de 0,5 a 1,0 mA por pulgada cuadrada de superficie de electrodo puede ser bien tolerada por la piel humana normal.

Entre las lesiones producidas por electricidad encontramos las quemaduras electrotérmicas que provienen de la generación eléctrica de calor fuera de

la piel, como en quemaduras por arco o chispas que se producen al saltar un arco eléctrico del conductor a la piel. Ocurren sobre todo con corrientes de alta tensión. Son quemaduras graves de la piel causadas por calor muy intenso y de breve duración.

De experiencias internacionales se deduce que con tensiones inferiores o iguales a 50 V en corriente alterna (valor eficaz) y hasta 75 V en corriente continua, no hay evidencias concluyentes de haber ocurrido accidentes con lesiones graves en circunstancias normales (Galizia, 2018).

Trayecto de la corriente a través del cuerpo sí se pueden identificar los puntos de entrada y de salida (donde hallaremos carbonización de la piel, denominada necrosis coagulativa), se puede sospechar el pronóstico y la gravedad del proceso valorando los tejidos que han podido ser dañados por la corriente. Recordemos que los tejidos más superficiales se enfriarán antes que los profundos, en los que el calentamiento puede ocasionar lesiones más graves. En general, son peores los trayectos “horizontales” (por ejemplo, brazo-brazo), que los verticales (como hombro-pierna).

Duración del contacto con la corriente a mayor tiempo de exposición, peores consecuencias. Tengamos además en cuenta otra consideración: la corriente alterna suele producir más daños que la corriente directa.

LA FRECUENCIA EN LA CONDUCCIÓN ELÉCTRICA

El papel que desempeña la frecuencia en la conducción se puede dividir en tres categorías:

1. El flujo de la corriente continua es influido por la resistencia óhmica; por lo tanto, la piel que es la que tiene mayor resistividad es la que determina el flujo de la corriente. Los procedimientos diseñados para reducir la resistencia de la piel (por ejemplo, el uso de soluciones salinas para hacer los contactos) resultan efectivos para aumentar la conductividad.
2. El uso de contactos con soluciones salinas favorece algo la conducción a baja frecuencia que se encontraría limitada parcialmente por la resistencia óhmica de la piel y por las propiedades capacitivas de los tejidos.
3. En las corrientes de alta frecuencia, el flujo está determinado por la capacitancia del cuerpo, y por lo tanto, resultan efectivos los electrodos secos, teniendo muy poca importancia la resistencia de la piel.

Circuito sumador de cuatro y de ocho bits utilizando el circuito integrado 7483

INTRODUCCIÓN

Con el experimento, el alumno desarrollará destrezas en el montaje e interpretación de los pines del circuito integrado 7483 y el display de siete segmentos y, además, adquirirá habilidades en el manejo del software de Proteus. La práctica se relaciona con la operación de suma entre los diferentes sistemas numéricos, el circuito integrado sumador de cuatro bits 7483 y el display de siete segmentos de ánodo común.

COMPETENCIA EVALUADA

Aplicar complemento a uno y complemento a dos, en las operaciones de suma y resta entre los diferentes sistemas numéricos, con el fin de realizar simulaciones y montajes de circuitos electrónicos que involucren el circuito integrado sumador 7483.

INDICADORES DE LOGROS

- » Realiza un montaje del circuito sumador en un protoboard, teniendo en cuenta el plano del circuito.
- » Localiza las fallas presentadas en el montaje del circuito sumador de ocho bits utilizando un multímetro digital.

- » Verifica el circuito sumador de cuatro bits en un display de siete segmentos, utilizando el simulador de Proteus.

CONTENIDO TEMÁTICO

Circuito Integrado 7483

El circuito integrado 7483 consiste en un sumador de dos números de 4 bits. La Figura 1.1 ilustra la distribución de sus pines.

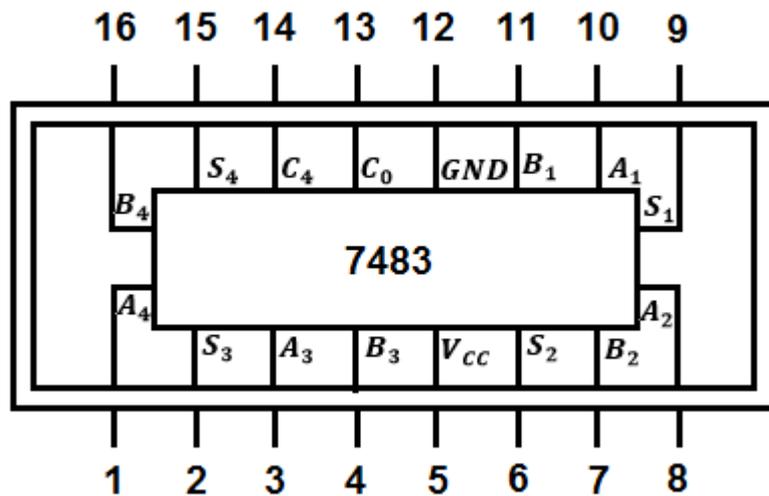


Figura 1.1. Circuito integrado 7483

Donde:

A_4, A_3, A_2 y A_1 representan los bits del primer número a sumar; siendo A_1 el bit de menor peso y A_4 el de mayor peso.

B_4, B_3, B_2 y B_1 representan los bits del segundo número a sumar; siendo B_1 el bit de menor peso y B_4 el de mayor peso.

C_0 es el acarreo de entrada y C_4 el acarreo de salida.

C_4, S_1, S_2, S_3 y S_4 es el resultado de la suma de los dos números anteriores.

El integrado se energiza con $5V_{CC}$ por el pin 5 y por el pin 12 que corresponde a la tierra del circuito integrado. Para mayor información (Bignell, 1998, pp.46-53).

Podemos escribir la suma de dos números de 4 bits como se indica a continuación:

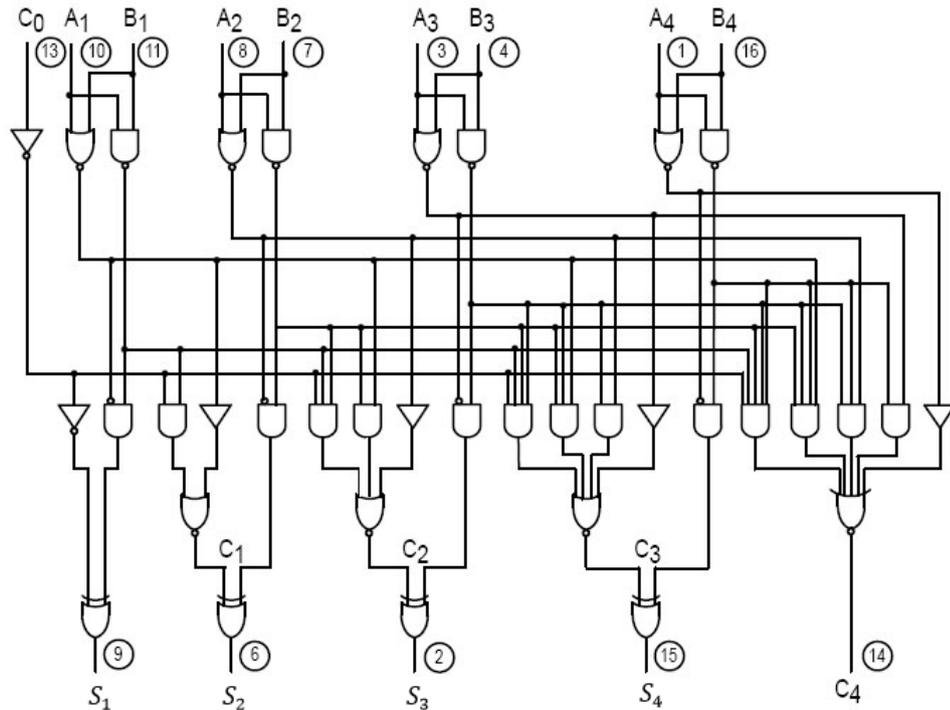


Figura 1.2. Diagrama lógico del circuito integrado 7483 (Alldatasheet, 2018)

Display de siete segmentos

El display de siete segmentos es un arreglo de diodos LEDs que permite encender cada led individualmente, permitiendo generar los dígitos que conforman el sistema decimal. Se encuentra de ánodo común y cátodo común. La distribución de los diodos se muestra en la Figura 1.3.

Cuando deseamos visualizar el número tres, se deben activar los segmentos (a, b, c, d y g) y desactivar los segmentos restantes.

Cuando se desea visualizar un número BCD (decimal codificado en binario) con un display de siete segmentos, se hace necesario utilizar un decodificador cuya función es convertir el código de entrada BCD a niveles lógicos (alto "1" y bajo "0" en lógica positiva) con el objetivo de poder visualizar el número correspondiente a cada entrada del código BCD. Para el display de ánodo común se utiliza el decodificador 74LS47 y para el de cátodo común el 74LS48. Para ampliar la información, consultar a Floyd (2015, pp.244-248).

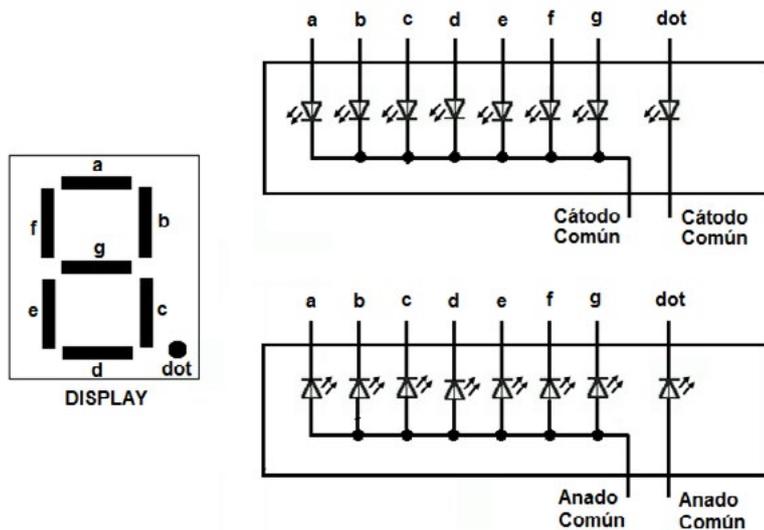


Figura 1.3. Display de siete segmentos de ánodo común y cátodo común

TAREAS PRELIMINARES

Para comprobar su aprendizaje responda el siguiente test:

1. Escriba los dígitos que conforman los sistemas binarios, octal, decimal y hexadecimal.
2. ¿Qué importancia tiene el sistema binario en la electrónica digital? Justifique claramente su respuesta.
3. ¿Qué importancia tiene el sistema octal y hexadecimal en la electrónica digital? Justifique claramente su respuesta.
4. Escriba un número decimal de tres dígitos y expréselo en los sistemas binario, octal y hexadecimal.
5. Escriba un número de ocho dígitos en el sistema binario y expréselo en los sistemas octal, decimal y hexadecimal.
6. Considere dos números de tres dígitos en el sistema hexadecimal y realice su suma.
7. Exprese el resultado obtenido en la pregunta 5 en el sistema binario.
8. ¿En qué consiste el código BCD? Realice una tabla que contenga la equivalencia del sistema binario, el sistema decimal y el código BCD en ese orden. Para ello considere el número binario de cuatro bits comenzando desde 0000 hasta 1111 y resalte los números no válidos del código BCD.
9. Describa brevemente el circuito sumador 7483 y explique de qué manera se puede ampliar una suma de dos números de cuatro bits a una suma de dos números de ocho bits.

10. ¿Cuál es la importancia del display de siete segmentos? Explique su funcionamiento y mencione la diferencia entre los displays de siete segmentos de ánodo común y cátodo común.
11. Describa brevemente en qué consiste Proteus y ¿cuál es su importancia como simulador en electrónica?

OBJETIVOS DE LA PRÁCTICA

- » Reconocer los pines del circuito integrado 7483.
- » Comprender la operación suma de dos números de cuatro bits que se realiza internamente en el circuito integrado 7483.
- » Realizar el acople de dos circuitos sumadores 7483 con el fin de ampliar la suma de cuatro bits a ocho bits.
- » Realizar apropiadamente conexiones apropiadamente de elementos electrónicos utilizados en la práctica en el protoboard.
- » Identificar apropiadamente los pines de un display de ánodo común y de cátodo común.
- » Practicar diferentes circuitos sencillos con el software de Fritzing para el uso correcto del protoboard.

DESARROLLO DE LA PRÁCTICA

Materiales de la práctica

- » Dos circuitos integrados 7483.
- » Un protoboard (Model PB-102).
- » Puentes flexibles para protoboard con puntas rígidas.
- » Un pelacables universal.
- » Dos Interruptores DIP de ocho vías.
- » Nueve diodos LEDs
- » 16 resistores de 10 K Ω
- » 9 resistores de 330 Ω .
- » Fuente de alimentación de 5VDC.

Precauciones y recomendaciones

- » Siempre mantenga su sitio de trabajo ordenado y limpio.
- » Tenga en cuenta que, al usar el multímetro digital para medir las resistencias, el voltaje y la corriente, este debe colocarse en las escalas de más alto valor e ir reduciéndolas hasta los valores adecuados.
- » Utilice el data chip para verificar los terminales del circuito integrado 7483 que se muestra en la Figura 1.1.

- » Utilice los materiales adecuados en el momento de ensamblar los circuitos en la protoboard con el fin de evitar pérdidas de tiempo y obtener un buen resultado del circuito.
- » Tenga cuidado al conectar los diodos LED con su polaridad. Recuerde que el ánodo del diodo LED se conecta al positivo, mientras que el cátodo del diodo LED va a tierra del circuito.

Montajes de la práctica

Círculo sumador de 4 bits

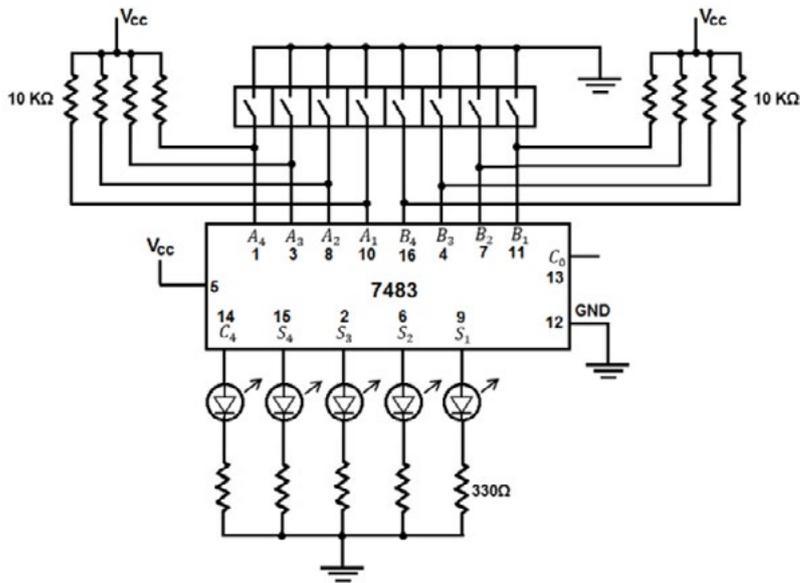


Figura 1.4. Diagrama del circuito sumador de 4 bits

Círculo sumador de 8 bits

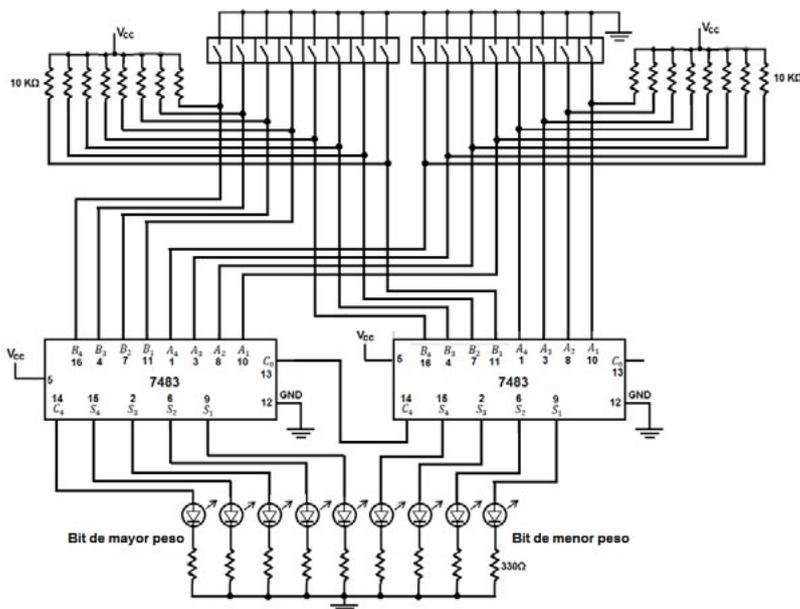


Figura 1.5. Diagrama del circuito sumador de 8 bits

Procedimiento de la práctica

1. Realice en la protoboard el circuito que se muestra en la Figura 1.4 y responda las preguntas relacionadas con 1.7.3.1.
2. Verifique que en los dígitos de los números de entrada A_4, A_3, A_2 y A_1 y B_4, B_3, B_2 y B_1 se obtiene un nivel alto "1" o un nivel bajo "0" al manipular los interruptores DIP de ocho vías.
3. Verifique qué nivel de salida tienen los terminales C_0, C_4, S_1, S_2, S_3 y S_4 al energizar el circuito integrado 7483.
4. Después de tomar una foto al circuito de la protoboard y de contestar las preguntas relacionadas con la Figura 1.4, desmonte los materiales de la protoboard y proceda a realizar el montaje que se muestra en la Figura 1.5. Este circuito le permitirá ampliar el rango de las sumas generadas por el circuito de la Figura 1.4
5. Tome una fotografía del montaje en la protoboard del circuito de la Figura 1.5.

Preguntas sobre la práctica

1. ¿Cuál es el voltaje apropiado para energizar el circuito integrado 7483?
2. ¿Qué ventajas tiene utilizar el interruptor DIP de ocho vías en el circuito de la Figura 1.4?
3. ¿Cuál es el cuidado necesario al momento de querer mostrar un dígito decimal de la operación que resulta del circuito de la Figura 1.4?
4. ¿Qué dificultades se le presentaron al momento de realizar pruebas del circuito de la Figura 1.4?
5. ¿Cuál es el número máximo que resulta de la suma en el circuito de la Figura 1.4?
6. Para no tener acarreo de entrada en el circuito de la Figura 1.4, ¿qué se le debe hacer al pin 13 del circuito integrado 7483?
7. Realice las siguientes sumas del circuito de la Figura 1.4 sin tener acarreo de entrada. Es decir, con $C_0 = 0$
 - a. $12_{10} + 9_{10}$
 - b. $6_{10} + 15_{10}$
 - c. $16_8 + 8_8$
 - d. $17_8 + 6_8$
 - e. $1110_2 + 1111_2$
 - f. $1011_2 + 1011_2$
8. ¿Qué cambios resultan de las sumas anteriores si se tiene acarreo de entrada $C_0 = 1$?
9. Realice las siguientes sumas con acarreo de entrada. Es decir, con $C_0 = 1$.

- a. $10_{10} + 12_{10}$
- b. $8_{10} + 13_{10}$
- c. $11_8 + 14_8$
- d. $13_8 + 10_8$
- e. $1011_2 + 1001_2$

10. ¿Qué puede concluir de este experimento?

Las siguientes preguntas están relacionadas con la Figura 1.5.

- 11. ¿Qué dificultades se le presentaron al momento de realizar pruebas del circuito de la Figura 1.5?
- 12. ¿Cuál cree usted que es el número máximo que resulta de la suma en el circuito de la Figura 1.5?
- 13. Para no tener acarreo de entrada en el circuito de la Figura 1.5, ¿qué modificaciones hay que realizar en el circuito?
- 14. Realice las siguientes sumas del circuito de la Figura 1.5 sin tener acarreo de entrada. Esto es, $C_0 = 0$.

- a. $132_{10} + 99_{10}$
- b. $86_{10} + 215_{10}$
- c. $77_8 + 163_8$
- d. $157_8 + 234_8$
- e. $10001111_2 + 10111011_2$
- f. $10011110_2 + 11000011_2$

- 15. ¿Qué cambios resultan de las sumas anteriores, si se tiene acarreo de entrada?
- 16. Realice las siguientes sumas con acarreo de entrada: Esto es, $C_0 = 1$.

- a. $100_{10} + 222_{10}$
- b. $18_{10} + 254_{10}$
- c. $77_8 + 163_8$
- d. $157_8 + 234_8$
- e. $111_8 + 324_8$
- f. $342_8 + 63_8$
- g. $10011011_2 + 11100110_2$
- h. $10101110_2 + 11001111_2$
- i. $10101110_2 + 11001111_2$

17. ¿Qué puede concluir de este experimento?

ACTIVIDADES ADICIONALES

1. Realice un circuito sencillo propuesto por su profesor donde pueda utilizar el software de fritzing (Fritzing, 2018).
2. Realice el circuito de la Figura 1.4 en Proteus (Proteus, 2018) y compruebe las sumas propuestas anteriormente.
3. Investigue otros circuitos que le generen los niveles altos “1” y bajos “0” para acoplarlos con el circuito sumador.
4. En Proteus simule un circuito que permita visualizar en un display de siete segmentos el número o símbolo correspondiente a cada número del código BCD.
5. Realice el circuito real en un protoboard a partir del circuito simulado en el numeral anterior utilizando un display de ánodo común.
6. Realice un cambio en el circuito de salida de la Figura 1.4 que muestre (Logisim, 2018) el resultado de la suma en display de siete segmentos.
7. Realice el circuito de la Figura 1.5 en Proteus y compruebe las sumas propuestas anteriormente.

Para el manejo de Proteus, consulte el libro de Calaza (2009).

Desarrollo práctico del restador de cuatro bits utilizando el circuito integrado 7483 y una compuerta NOT 7404

INTRODUCCIÓN

En el experimento, el alumno realiza el montaje e interpreta los pines del circuito integrado 7483 y la compuerta NOT y, además, adquiere destrezas en el manejo del software Fritzing (2018). La práctica está relacionada con la operación suma y resta entre los diferentes sistemas numéricos, el circuito integrado sumador de cuatro bits 7483 y el circuito integrado negador 7404.

COMPETENCIA EVALUADA

Utilizar el circuito integrado sumador 7483 y el circuito integrado negador 7404 adecuadamente, interpretando los pines de los circuitos integrados en el alldatasheet (Alldatasheet, 2018) con la finalidad de realizar simulaciones y conexiones en la protoboard, a través del diagrama del circuito restador.

INDICADORES DE LOGROS

- » Comprende los sistemas numéricos, al realizar problemas de suma y resta.
- » Aplica el complemento a uno y el complemento a dos, al realizar operaciones de suma y resta entre los distintos sistemas numéricos.
- » Realiza el circuito restador en un protoboard, teniendo en cuenta el plano del circuito.

- » Simula el circuito restador, utilizando Proteus.
- » Dibuja los elementos del circuito restador, utilizando los símbolos electrónicos adecuados.
- » Localiza las fallas presentadas en el montaje del circuito restador de cuatro bits, utilizando un multímetro digital.
- » Verifica el circuito restador de cuatro bits en un display de siete segmentos, utilizando el simulador de Proteus.

CONTENIDO TEMÁTICO

Circuito Integrado 7404

El circuito integrado 7404 contiene seis compuertas NOT. Cada compuerta tiene una entrada y una salida y su función es que a la salida se obtiene la negación de la entrada. La Figura 2.1 muestra el circuito integrado 7404.

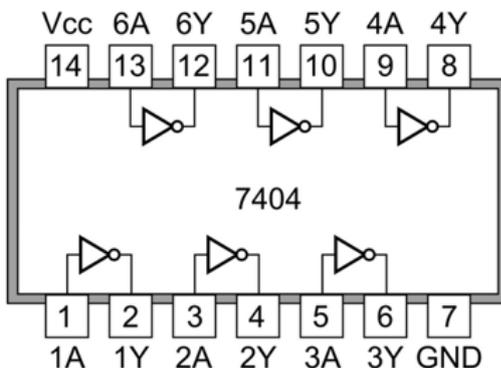


Figura 2.1. Circuito integrado 7404. Seis inversores o compuertas NOT

Donde:

1A, 2A, 3A, 4A, 5A, 6A representan las entradas de cada compuerta del integrado.

1Y, 2Y, 3Y, 4Y, 5Y, 6Y representan las salidas de cada compuerta del integrado.

El circuito se energiza por el pin 14 con 5 Vcc y por el pin 7 a la tierra (GND) del circuito integrado.

Complemento

Existen dos tipos de complementos que se utilizan para las operaciones de la resta en los sistemas numéricos. Estos son el complemento a uno y el complemento a dos (C^2).

El complemento a uno (C^1) de un dígito de un sistema numérico, es lo que le falta al dígito para ser el máximo dígito del sistema numérico. Por ejemplo, el sistema decimal está formado por los dígitos:

$$\text{Sistema Decimal} = \{0,1,2,3,4,5,6,7,8,9\} \quad 2.1$$

El máximo dígito de 2.1 es el 9, de esta manera, C^1 del dígito 5 será el 4. La Tabla 2.1 muestra los dígitos que conforman el sistema decimal con su complemento a uno.

Tabla 2.1. Dígitos decimales con su complemento a uno

DECIMAL	COMPLEMENTO A UNO
0	9
1	8
2	7
3	6
4	5
5	4
6	3
7	2
8	1
9	0

Para encontrar el C^1 del número decimal 865, buscamos el C^1 de cada dígito. Esto es:

El C^1 del 8 es el 1, el del 6 es el 3 y el de 5 es el 4, por lo tanto, el C^1 del decimal 865 es el 134.

La Tabla 2.2 y 2.3 muestran el complemento a uno del sistema octal y binario respectivamente:

Tabla 2.2. Dígitos del sistema octal con su complemento a uno

DECIMAL	COMPLEMENTO A UNO
0	7
1	6
2	5
3	4
4	3
5	2
6	1
7	0

Tabla 2.3. Dígitos del sistema binario con su complemento a uno

DECIMAL	COMPLEMENTO A UNO
0	1
1	0

El complemento a dos (C^2), se obtiene encontrando el complemento a uno y sumando uno al resultado. Esto es:

$$C^2 = C^1 + 1 \quad 2.2$$

A manera de ejemplo encontraremos el C^1 y C^2 del número binario 1101101

$$C^1 = 0010010 \rightarrow C^2 = 0010010 + 1 = 0010011$$

Operación resta en los sistemas numéricos

Cuando el minuendo es mayor que el sustraendo

Para entender esta operación, utilizaremos como ejemplo el sistema decimal por ser el más utilizado. Sea $x=9485$ y $y=7899$. Aquí notamos que $x > y$, y queremos hallar $x-y$.

$$\begin{array}{r} 9485 \\ - 7899 \\ \hline \end{array}$$

Al hacer la diferencia entre los números de la primera columna de derecha a izquierda ($5-9$) vemos que el resultado de esta operación es de un número que no pertenece al sistema numérico, de esta manera, el número 8 de la fila superior le presta la base del sistema numérico al 5 de la columna 1 (de derecha a izquierda). Este número 8 queda reducido a 7 y resulta $(10+5)=15$. A este número le restamos el 9 y obtendremos $(15-9)=6$.

$$\begin{array}{r} 7 \ 10 \\ 9 \ 4 \ \cancel{8} \ 5 \\ - 7 \ 8 \ 9 \ 9 \\ \hline 6 \end{array}$$

Se continúa con la segunda columna. Esto es $(7-9)=-2$. Este número no pertenece al sistema numérico, el número 4 le presta la base del sistema (la colocamos encima del siete). El 4 queda reducido a 3, $(10+7)-9=8$ y obtenemos:

$$\begin{array}{r}
 10 \\
 3710 \\
 9\cancel{4}\cancel{8}5 \\
 - 7899 \\
 \hline
 86
 \end{array}$$

Al hacer la diferencia $(3-8)=-5$ vemos que el resultado de esta operación es de un número que no pertenece al sistema numérico. El número 9 de la fila superior le presta la base del sistema numérico al 3 de la columna 3, quedando el nueve reducido a 8. Esto es $(10+3)-8=5$. El 5 es un número que está en el sistema numérico, lo colocamos en el resultado y tenemos:

$$\begin{array}{r}
 1010 \\
 83710 \\
 \cancel{8}\cancel{4}\cancel{8}5 \\
 - 7899 \\
 \hline
 586
 \end{array}$$

Continuando con la cuarta columna, se obtiene $(8-7)=1$: El 1 pertenece al sistema numérico, por lo tanto, lo colocamos en el resultado. Podemos notar que en esta operación no se presenta carry.

$$\begin{array}{r}
 1010 \\
 83710 \\
 \cancel{8}\cancel{4}\cancel{8}5 \\
 - 7899 \\
 \hline
 1586
 \end{array}$$

Este procedimiento se puede aplicar para cualquier operación diferencia de un sistema numérico en la que el minuendo sea mayor que el sustraendo. En este caso nunca se presenta un carry.

Otro método para realizar la resta anterior es utilizando el C^1 o C^2 .

Complemento a uno:

Tenemos que $x-y = x + y^{c^1}$

$$x-y = (9485 - 7899) = 9485 + (7899)^{c^1} = 9485 + 2100$$

Ahora procedemos a realizar la suma anterior:

Notamos que la primera columna (de izquierda a derecha), al sumar $9+2=11$. Este 11 no está en los dígitos que conforman el sistema numérico, entonces le restamos al 11 la base del sistema numérico que en este caso es el 10 y tenemos $11-10=1$. Este 1 es el carry o acarreo.

$$\begin{array}{r}
 \textcircled{1} \text{ Carry} \\
 9485 \\
 2100 \\
 \hline
 1585
 \end{array}$$

Ahora se le suma al resultado (1585) para obtener el resultado final. Así tendremos:

$$\begin{array}{r}
 1585 \\
 1 \\
 \hline
 1586
 \end{array}$$

Complemento a dos:

De la ecuación 2.2 y teniendo en cuenta que $x-y = x + y^{c^2}$. El complemento a dos de y es $y^{c^2} = y^{c^1} + 1 = (2100) + 1 = 2101$, se procede a realizar la suma de $x + y^{c^2}$.

$$x-y = 9485 + 2101$$

La suma anterior se puede escribir:

$$\begin{array}{r}
 \textcircled{1} \text{ Carry} \\
 \mathbf{9\ 4\ 8\ 5} \\
 \mathbf{2\ 1\ 0\ 1} \\
 \hline
 \mathbf{1\ 5\ 8\ 6}
 \end{array}$$

Aquí el carry que resulta se omite en el resultado, esto debido a que ya se tuvo en cuenta cuando se buscó el complemento a dos de y . Para ampliar la información, consulte Karris (2007, pp.2.1-2.18)

TAREAS PRELIMINARES

Para comprobar su aprendizaje responda el siguiente test:

1. ¿En qué consiste el complemento a uno de un número en cualquier sistema numérico? Dé ejemplos de ellos.
2. ¿En qué consiste el complemento a dos de un número en cualquier sistema numérico? Dé ejemplos de ellos.
3. Ubique en la recta numérica los números binarios de 5 bits comenzando desde el 00000 hasta 11111 utilizando el complemento a uno. Si encuentra alguna ambigüedad, explíquela.
4. Ubique en la recta numérica los números binarios de 5 bits comenzando desde el 00000 hasta 11111 utilizando el complemento a dos. Si encuentra alguna ambigüedad, explíquela.
5. Dé ejemplos de dos números de ocho dígitos cada uno en el sistema binario y realice su diferencia, teniendo en cuenta que el minuendo es mayor que el sustraendo.
6. Dé ejemplos de dos números de cuatro dígitos, cada uno en el sistema octal y realice su diferencia, teniendo en cuenta que el minuendo es mayor que el sustraendo.
7. Proponga ejemplos de dos números de tres dígitos, cada uno en el sistema hexadecimal y realice su diferencia, teniendo en cuenta que el minuendo es mayor que el sustraendo.
8. Realice los problemas 1, 2 y 3 utilizando el complemento a uno.
9. Realice los problemas 1, 2 y 3 utilizando el complemento a dos.

10. Describa brevemente el circuito sumador 7483 y explique de qué manera se puede ampliar una resta de dos números de cuatro bits a una resta de dos números de ocho bits.

OBJETIVOS DE LA PRÁCTICA

- » Reconocer con propiedad los pines de los circuitos integrados 7483 y 7404.
- » Comprender los cambios que se deben realizar en el circuito sumador de la Figura 1.4 para transformarlo en un restador, haciendo uso del integrado 7404.
- » Afianzar los conceptos de complemento a uno y complemento a dos, a través del circuito restador de dos números binarios de cuatro bits.
- » Simular los diferentes circuitos de la práctica utilizando el software de Proteus con el fin de afianzar los conceptos de complemento a uno y de complemento a dos en la operación resta.

DESARROLLO DE LA PRÁCTICA

Materiales de la práctica

- » Un circuito integrado 7483.
- » Un circuito integrado inversor 7404.
- » Un protoboard (Model PB-102).
- » Puentes flexibles para protoboard, con puntas rígidas.
- » Un pelacables universal.
- » Un Interruptor DIP de ocho vías.
- » Cinco diodos LEDs.
- » Ocho resistores de 10 K Ω .
- » Cinco resistores de 330 Ω .
- » Una fuente de alimentación de 5VDC.

Precauciones y recomendaciones

- » Siempre mantenga su sitio de trabajo ordenado y limpio.
- » Tenga en cuenta que, al usar el multímetro digital para medir las resistencias, el voltaje y la corriente, este debe colocarse en las escalas de más alto valor e ir reduciéndolos hasta los valores adecuados.
- » Utilice el data chip para verificar los terminales del circuito integrado 7483 que se muestra en la Figura 1.1.

- » Utilice los materiales adecuados al momento de ensamblar los circuitos en la protoboard con el fin de evitar pérdidas de tiempo y obtener un buen resultado del circuito.
- » Tenga cuidado al conectar los diodos LED con su polaridad. Recuerde que el ánodo del diodo LED se conecta al positivo, mientras que el cátodo del diodo LED va a tierra del circuito.

Montajes de la práctica

El experimento está basado en el circuito que se muestra en la Figura 2.2.

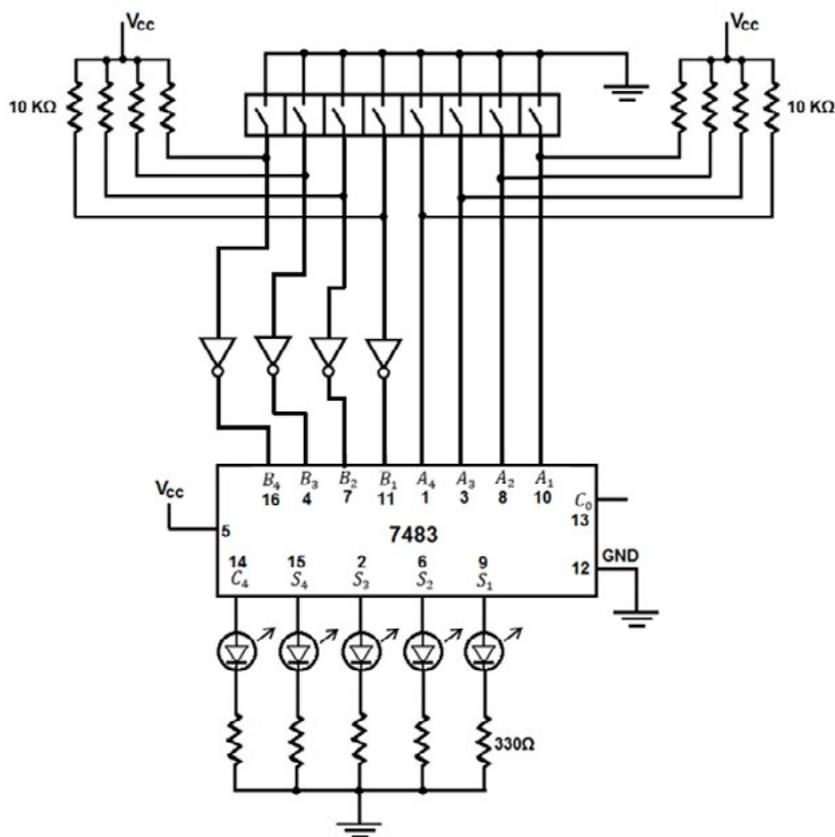


Figura 2.2. Diagrama del circuito restador de 4 bits

Procedimiento

Circuito restador de 4 bits

1. Realice en la protoboard el circuito que se muestra en la Figura 2.2.
2. Con el multímetro digital, verifique los niveles de voltaje del interruptor DIP de ocho vías; estando abiertos y cerrados.
3. Con el multímetro digital, verifique los niveles de voltaje del circuito integrado 7404 y el 7483.

4. Debe verificar que en los dígitos de los números de entrada A_4, A_3, A_2 y A_1 y B_4, B_3, B_2 y B_1 se obtienen un nivel alto "1" o un nivel bajo "0" al manipular los interruptores del DIP de ocho vías.
5. Tome una fotografía del montaje en la protoboard del circuito de la Figura 2.2.

Preguntas sobre la práctica

1. De acuerdo con el punto 1 de 2.7.4.1, realice las siguientes restas sin tener acarreo de entrada: Esto es $C_0=0$.
 - a. $13_{10} - 7_{10}$
 - b. $10_{10} - 5_{10}$
2. De acuerdo con el punto 1 de 2.7.4.1, realice las siguientes restas sin tener acarreo de entrada: Esto es $C_0=0$.
 - a. $6_8 - 3_8$
 - b. $7_8 - 2_8$
3. De acuerdo con el punto 1 de 2.7.4.1, realice las siguientes restas sin acarreo de entrada: Esto es $C_0=0$.
 - a. $1101_2 - 1011_2$
 - b. $1100_2 - 1010_2$
4. De acuerdo con el punto 1 de 2.7.4.1, realice las siguientes restas sin tener acarreo de entrada: Esto es $C_0=0$.
 - a. $F_{16} + B_{16}$
 - b. $E_{16} + 5_{16}$
5. Simule el circuito de la Figura 2.2 en Proteus y realice las restas propuestas en 1, 2, 3, 4 del numeral 2.7.5. Compare las restas obtenidas con las del circuito de la protoboard, si encuentra algunas diferencias, justifíquelas.
6. ¿Qué puede concluir de este experimento?

ACTIVIDADES ADICIONALES

1. Realice el circuito de la Figura 2.2 en Multisim (MultisimLive, 2018) y compruebe las restas propuestas en 2.7.5.
2. En Multisim simule un circuito que permita visualizar en un display de siete segmentos el resultado correspondiente a cada resta propuesta.
3. Realice el circuito real en un protoboard del circuito del numeral anterior, utilizando un display de ánodo común.

4. Realice un cambio en el circuito de salida de la Figura 2.2 que muestre el resultado de la resta en display de siete segmentos. Para este montaje utilice el circuito decodificador 74LS47 y el display de siete segmentos de ánodo común.
5. Realice un circuito en Proteus (Proteus, 2018) en el cual amplíe la operación de diferencia a ocho bits para cada número de entrada. Tenga en cuenta que, al realizar la suma, el minuendo sea mayor que el sustraendo.
6. Investigue las restas cuando el minuendo es menor que el sustraendo y dé ejemplos de ello.

Desarrollo práctico de las distintas compuertas lógicas básicas (NOT, AND, OR, NAND, NOR, XOR Y XNOR)

3

EXPERIMENTO

INTRODUCCIÓN

El propósito de este experimento consiste en el reconocimiento de las compuertas lógicas básicas en cuanto a su símbolo lógico, ecuación lógica, tabla de verdad, circuito eléctrico equivalente y diagramas de tiempo. Además, se analizarán las formas de onda en cuanto a las entradas y salidas de cada compuerta utilizando el software de simulación de Proteus y el EveryCircuit.

COMPETENCIA EVALUADA

Comprobar el funcionamiento de las compuertas básicas mediante las simulaciones en un software adecuado y el montaje en la protoboard, con la finalidad de adquirir habilidades y destrezas en las aplicaciones de funciones lógicas más complejas y poder realizar circuitos de la electrónica digital en proyectos reales de la vida cotidiana.

INDICADORES DE LOGROS

- » Verifica las tablas de verdad de las compuertas básicas, a través de la simulación en EveryCircuit. (EveryCircuit, 2018)
- » Verifica las tablas de verdad de las compuertas básicas, a través de los montajes de cada compuerta en el protoboard.

- » Reconoce los símbolos utilizados en la norma **ASA** (American Standard Association) en los planos de los circuitos electrónicos.
- » Reconoce los símbolos utilizados en la norma **IEC** (International Electro-technical Commission) en los planos de los circuitos electrónicos.
- » Dibuja cada compuerta digital, utilizando los símbolos electrónicos adecuados.
- » Comprueba los niveles lógicos de cada compuerta, utilizando un multímetro digital.

CONTENIDO TEMÁTICO

La Tabla 3.1 muestra el símbolo, tabla de verdad, función lógica y la referencia del circuito integrado de las compuertas básicas según las normas:

Norma ASA (American Standard Association)

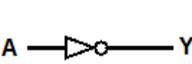
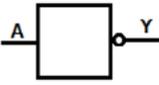
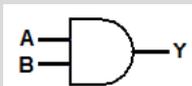
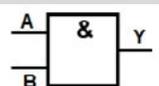
Este sistema se utiliza en los Estados Unidos y en los países que están bajo su influencia industrial. Las dimensiones de los formatos se encuentran en pulgadas.

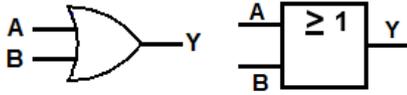
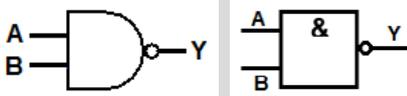
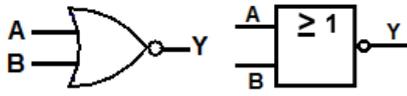
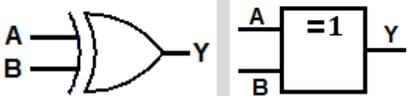
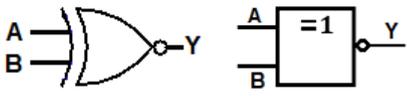
Los símbolos son distintivos con indicadores y cumplen con el estándar IEEE (Instituto de Ingeniería Eléctrica y Electrónica). Para mayor información consultar el capítulo de puertas lógicas de Floyd (2015, pp.125-186).

Norma IEC (International Electrotechnical Commission).

En esta norma el sistema de unidades es SI o Sistema Internacional de unidades. Los símbolos son rectangulares con indicadores de polaridad y cumplen con el estándar ANSI (American National Standards Institute).

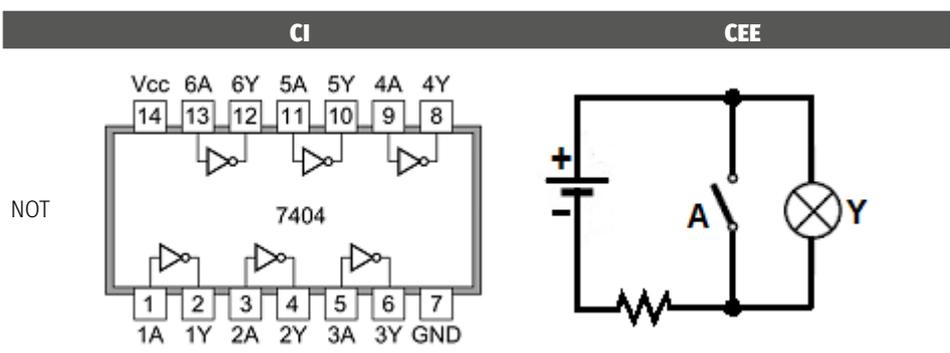
Tabla 3.1. Compuertas básicas

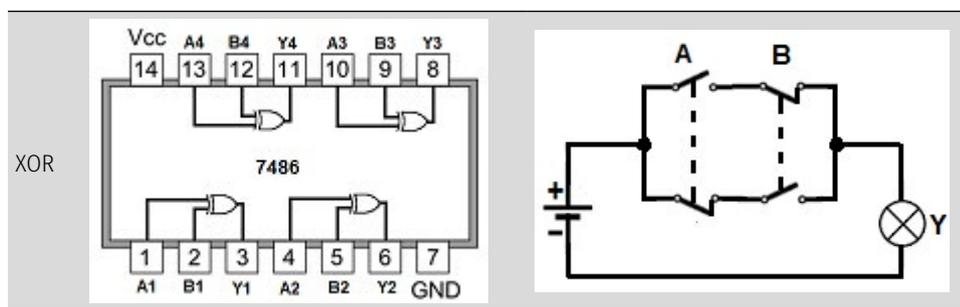
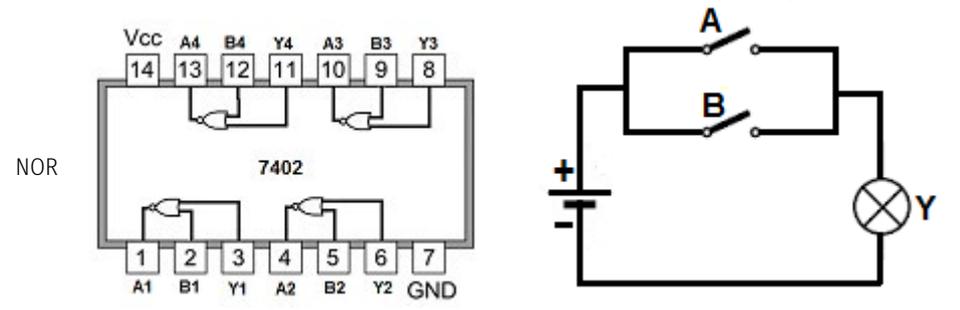
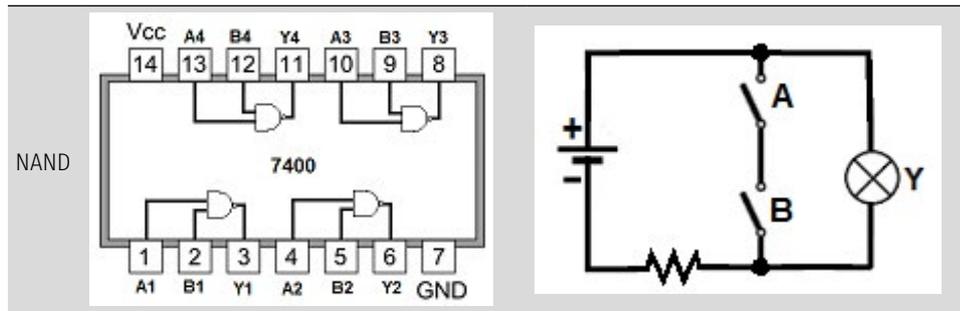
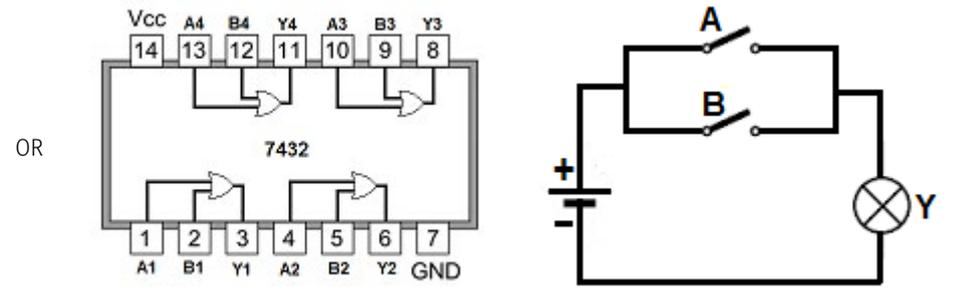
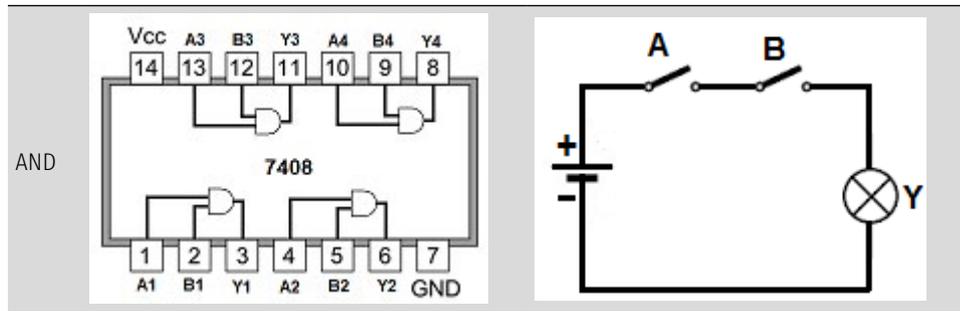
	SÍMBOLO NORMA ASA	SÍMBOLO NORMA IEC	TABLA DE VERDAD	FUNCIÓN LÓGICA	REFERENCIA DEL INTEGRADO															
NOT			<table border="1"> <tr><td>A</td><td>Y</td></tr> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </table>	A	Y	0	1	1	0	$Y = \bar{A}$	7404									
A	Y																			
0	1																			
1	0																			
AND			<table border="1"> <tr><td>A</td><td>B</td><td>Y</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	A	B	Y	0	0	0	0	1	0	1	0	0	1	1	1	$Y = AB$	7408
A	B	Y																		
0	0	0																		
0	1	0																		
1	0	0																		
1	1	1																		

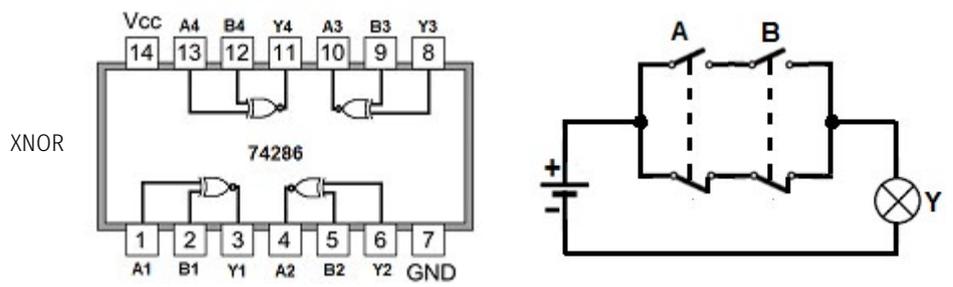
OR		<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Y	0	0	0	0	1	1	1	0	1	1	1	1	$Y=A+B$ 7432
A	B	Y																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
NAND		<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	Y	0	0	1	0	1	1	1	0	1	1	1	0	$Y=\overline{AB}$ 7400
A	B	Y																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
NOR		<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	Y	0	0	1	0	1	1	1	0	1	1	1	0	$Y=\overline{A+B}$ 7402
A	B	Y																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
XOR		<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	B	Y	0	0	0	0	1	1	1	0	1	1	1	0	$Y=A\oplus B$ 7486
A	B	Y																
0	0	0																
0	1	1																
1	0	1																
1	1	0																
XNOR		<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Y	0	0	1	0	1	0	1	0	0	1	1	1	$Y=\overline{A\oplus B}$ 74286
A	B	Y																
0	0	1																
0	1	0																
1	0	0																
1	1	1																

La Tabla 3.2 muestra la distribución de pines del circuito integrado (CI) y el circuito eléctrico equivalente (CEE) para cada compuerta básica.

Tabla 3.2. Distribución de pines y circuito eléctrico equivalente de los circuitos integrados básicos







TAREAS PRELIMINARES

Para comprobar su aprendizaje responda el siguiente test:

1. Dibuje cada compuerta lógica utilizando la simbología con la norma **ASA**.
2. Dibuje cada compuerta lógica utilizando la simbología con la norma **IEC**.
3. Describa el funcionamiento de cada compuerta lógica.
4. Dibuje el circuito eléctrico de cada compuerta lógica.
5. Dibuje el diagrama de tiempos de cada compuerta lógica y para ello considere las señales de entradas que desee.
6. Considere las compuertas AND, OR, NAND y NOR de tres entradas A, B y C, realice su tabla de verdad.
7. Exprese la compuerta XOR y XNOR en función de las compuertas NOT, AND y OR.
8. Discuta ejemplos de aplicaciones de la compuerta NOT.
9. Escriba la función lógica de salida para la compuerta NAND de 4 entradas con las variables lógicas A, B, C y D.
10. Describa ejemplos de aplicaciones de las compuertas NOR exclusiva.

OBJETIVOS DE LA PRÁCTICA

- » Interpretar la hoja de datos de cada una de las compuertas básicas.
- » Implementar el circuito eléctrico equivalente de cada una de las compuertas básicas.
- » Realizar el diagrama de tiempos de cada una de las compuertas básicas.
- » Diseñar el circuito lógico que permita la comprobación de la tabla de verdad de cada una de las compuertas básicas.
- » Construir el circuito real para la verificación de la tabla de verdad de cada una de las compuertas básicas, utilizando el protoboard.
- » Simular cada una de las compuertas básicas para la verificación de la tabla de verdad de cada una, utilizando el software apropiado.
- » Instalar correctamente el software de Arduino en el PC. (Arduino, 2018)

- » Empezar el manejo de la programación en Arduino con un circuito básico como el encendido y apagado de un diodo LED y, de esta manera, ir familiarizándose con las potencialidades de estas herramientas de gran uso en electrónica.

DESARROLLO DE LA PRÁCTICA

Materiales de la práctica

- » Un circuito integrado por cada referencia.
- » Un protoboard (Model PB-102).
- » Puentes flexibles para protoboard, con puntas rígidas.
- » Un pelacables universal.
- » Un Interruptor DIP de cuatro vías.
- » Un diodo LED.
- » 2 resistores de 10 K Ω .
- » 1 resistor de 330 Ω .
- » Fuente de alimentación de 5VDC.

Precauciones y recomendaciones

Tenga en cuenta que, al usar el multímetro digital para medir las resistencias, el voltaje y la corriente, este debe colocarse en las escalas de más alto valor e ir reduciéndolos hasta los valores adecuados.

Utilice los materiales adecuados al momento de ensamblar los circuitos en la protoboard con el fin de evitar pérdidas de tiempo y obtener un buen resultado del circuito.

Tenga cuidado al conectar los diodos LED con su polaridad. Recuerde que el ánodo del diodo LED se conecta al positivo, mientras que el cátodo del diodo LED va a tierra del circuito.

Montaje de la práctica

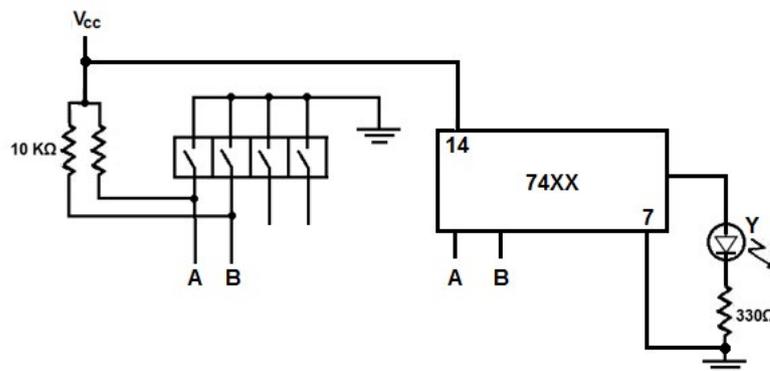


Figura 3.1. Diagrama del circuito para la comprobación de las puertas básica

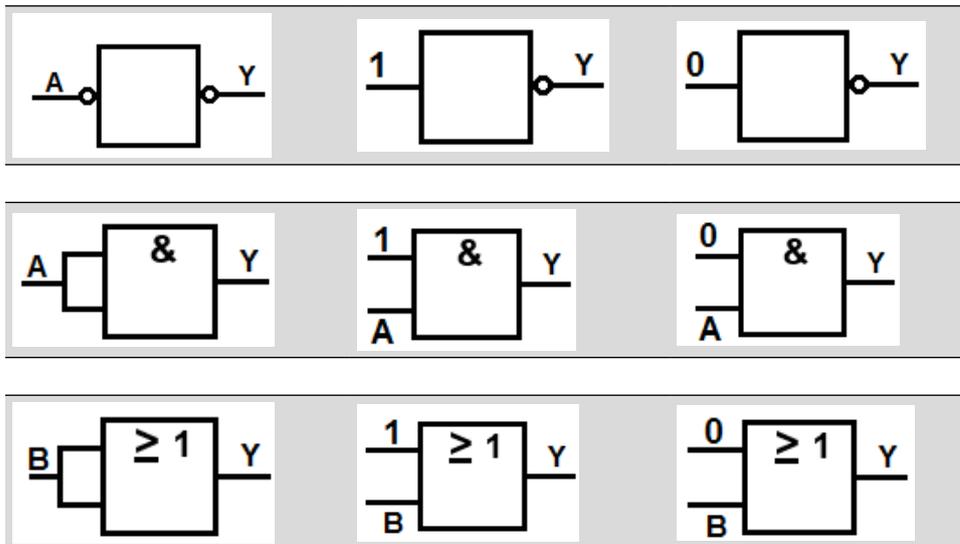
Procedimiento de la práctica

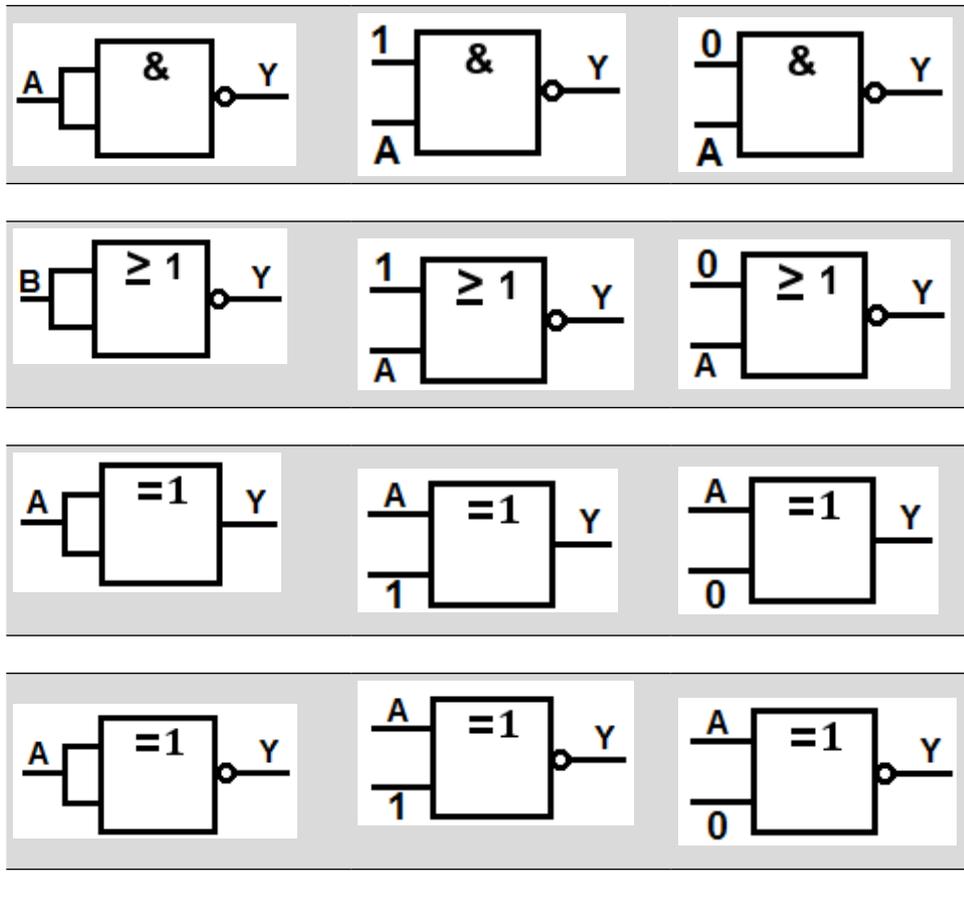
1. Utilice la data chip (Alldatasheet, 2018) para consultar las características eléctricas y lógicas, y además, para familiarizarse con cada pin de las compuertas básicas a utilizar en la práctica.
2. Utilizando los materiales de la práctica, realice el montaje de la práctica que se muestra en la Figura 3.1.
3. Verifique continuidad entre los elementos conectados utilizando el multímetro digital.
4. Compruebe los niveles de voltaje que energizan los circuitos integrados.
5. Reemplace el integrado 74XX que aparece en la Figura 3.1 por la compuerta NOT. Realice las mediciones que le ayudarán a resolver las preguntas de la práctica del numeral 3.7.5.
6. Repita el paso 5 para las compuertas en el siguiente orden: AND, OR, NAND, XOR, NOR y XNOR.

Preguntas de la práctica

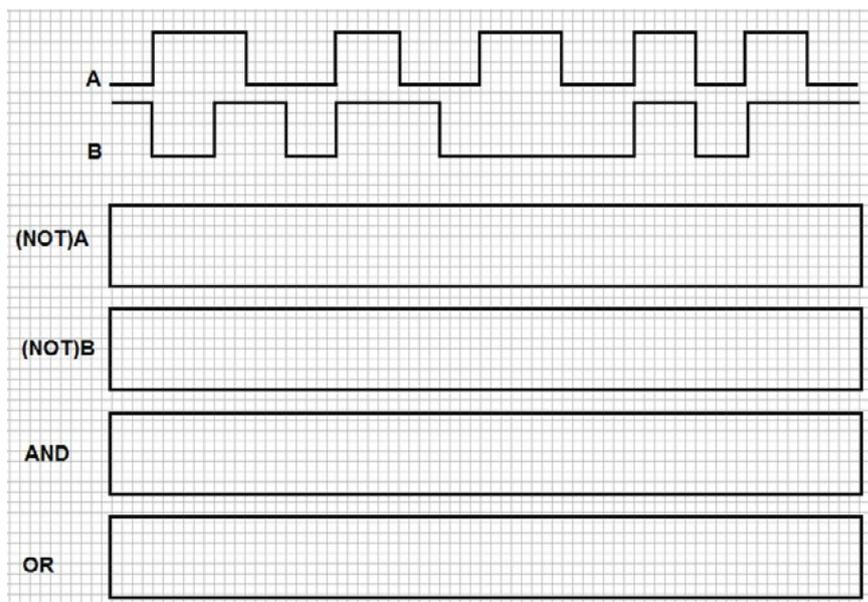
1. De acuerdo con las entradas y la salida de cada compuerta, construya la tabla de verdad y los diagramas de tiempo para cada una de ellas en el orden indicado en el punto 5 y 6 de 3.7.4.
2. Simule las funciones lógicas básicas, utilizando el software de EveryCircuit. (EveryCircuit, 2018).
3. Según la Tabla 3.3 que muestra las compuertas TTL y sus entradas de conexión, escriba la función booleana de su salida Y.

Tabla 3.3. Compuertas básicas TTL según la norma (IEC)





4. De acuerdo con las señales de entradas indicadas en la Figura 3.2, dibuje el diagrama de tiempos para cada compuerta.



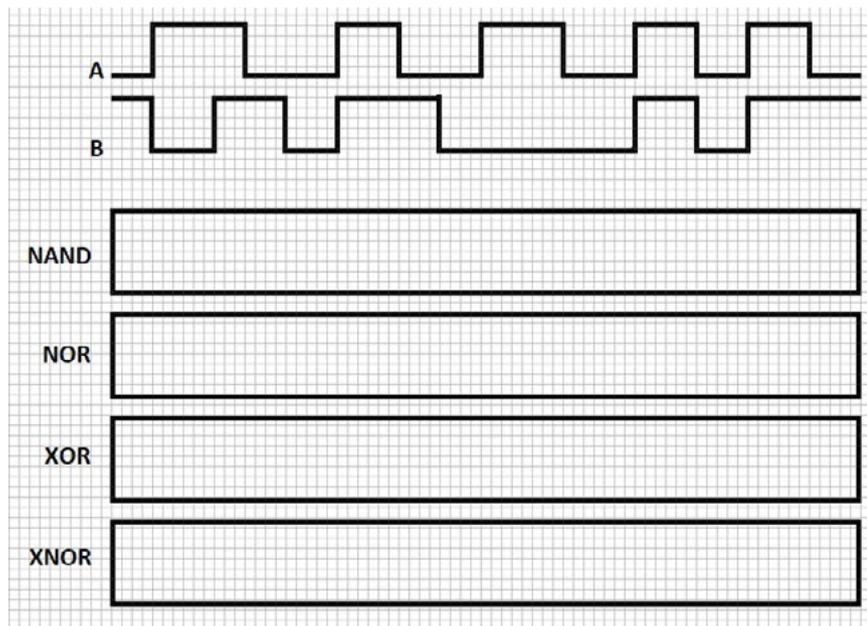


Figura 3.2. Diagramas de tiempo para las compuertas básicas

5. ¿Qué puede concluir del experimento?

NOTA: Recuerde escribir en la conclusión las posibles mejoras del experimento o qué le cambiaría a este si lo realizara nuevamente.

ACTIVIDADES ADICIONALES

1. En Logisim simule la compuerta NAND, utilizando las compuertas NOT y AND y compruebe su tabla de verdad. Para ello, descargue el software libre del sitio Logisim. (Logisim, 2018).
2. En Logisim simule la compuerta NOR, utilizando las compuertas NOT y OR y compruebe su tabla de verdad.
3. Investigue cómo simular las compuertas XOR y XNOR, utilizando compuertas inversoras y compuertas AND y OR.
4. Realice la simulación en el protoboard del circuito del numeral anterior y verifique su tabla de verdad. La simulación la puede realizar en el software “Simulador de construcción de circuitos digitales con escenarios virtuales” (Miguel, 2018).
5. Realice el circuito real en un protoboard del circuito del numeral anterior y verifique su tabla de verdad.
6. Investigue cómo escribir la función lógica de cada compuerta utilizando Arduino. Para ello, consulte la página web de Arduino. (Arduino, 2018).

7. Realice el circuito de encender y apagar un diodo LED, utilizando el Arduino uno. Realice las variantes que usted desea sobre el tiempo de encendido y apagado del LED.

Después de instalar el software de Arduino en su PC y de conectar correctamente su tarjeta de Arduino uno, verifique que los puertos de comunicación son los apropiados. Para este caso sencillo, proceda a cargar el ejemplo que trae Arduino y que corresponde al encendido y apagado de un diodo LED. Para ello siga los pasos que se indican en la Figura 3.3.

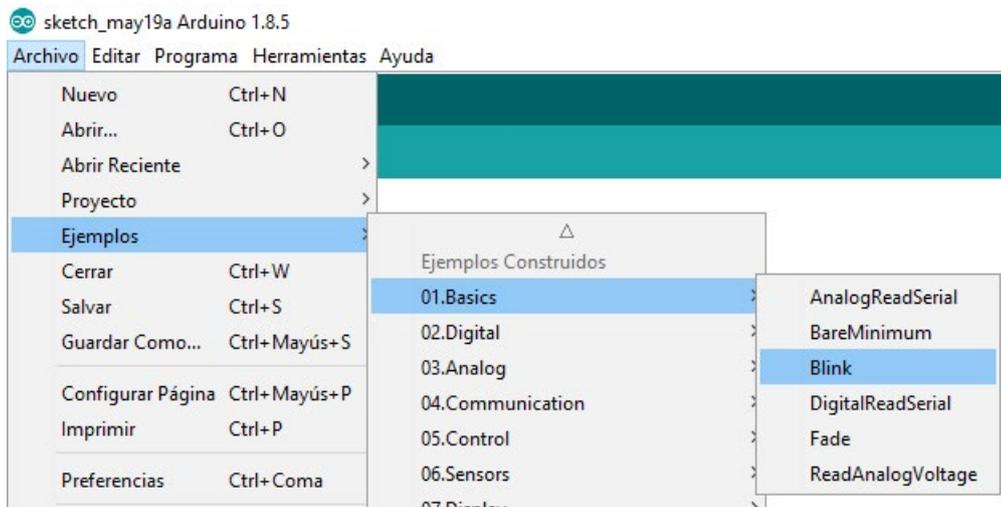


Figura 3.3. Código para el encendido y apagado de un diodo LED

Diseño y construcción de un circuito real a partir de una función lógica

INTRODUCCIÓN

Las funciones lógicas en electrónica digital se pueden obtener de la interpretación de un enunciado de un problema real, de las salidas de las compuertas lógicas (o combinaciones de ellas) y de las tablas de verdad de un problema X. Aquí no estamos interesados en qué método fue aplicado para la obtención de la función lógica. Los circuitos pueden ser muy simples como el de una función $Y = AB$ o algo complejo como $Y = \overline{(AB \oplus C)}(\overline{DB})$.

COMPETENCIA EVALUADA

Construir circuitos de electrónica combinacional utilizando funciones lógicas, con el propósito de adquirir destrezas en los montajes de circuitos en problemas reales.

INDICADORES DE LOGROS

- » Verifica las funciones lógicas, a través de la simulación en EveryCircuit.
- » Verifica las funciones lógicas, a través de los montajes en Protoboard.
- » Identifica las operaciones lógicas que aparecen en una función.
- » Asocia a cada operación lógica, la compuerta lógica que le corresponde.
- » Realiza el plano electrónico de una función lógica, utilizando las compuertas lógicas apropiadas.

- » Simula el plano electrónico de una función lógica, utilizando el software Proteus.

CONTENIDO TEMÁTICO

Funciones lógicas

Las funciones lógicas se forman con variables lógicas (A, B, C,...) enlazadas por operadores lógicos (NOT, AND, OR, NAND, NOR, XOR y XNOR). Dichas variables representan un evento o suceso que toman dos posibles valores de verdad y los cuales son excluyentes entre sí. Estos valores de las variables lógicas son “1” o “0”. El valor lógico “1” puede representar, por ejemplo, el motor encendido, y el “0” lógico, el motor apagado. Las puertas lógicas son circuitos que producen a su salida un valor de verdad dependiendo de los valores en sus entradas. Las funciones lógicas pueden ser muy simples, como una sola compuerta NOT ($Y=\bar{A}$) o algo complejas, como una combinación de compuertas lógicas $Y=(A\oplus BC)(\overline{AB+C})\bar{A}C$. Dicha función también puede ser obtenida a partir de la interpretación lógica del enunciado de un determinado problema.

TAREAS PRELIMINARES

Para comprobar su aprendizaje responda el siguiente test:

1. Defina una función lógica y dé ejemplos de ellas.
2. Explique en qué consiste los niveles de lógica positiva y dé ejemplos de ellos.
3. Explique en qué consisten los niveles de lógica negativa y de ejemplos de ellos.
4. ¿Cómo se interpreta que un circuito integrado se activa por flanco ascendente o flanco descendente? Dé ejemplos concretos.
5. Realice el circuito lógico de la compuerta XOR utilizando las funciones lógicas NOT, AND y NOR.
6. Realice el circuito lógico de la compuerta XNOR utilizando las funciones lógicas NOT, AND y NOR.
7. Interpreta la salida de la compuerta XOR asignando a las entradas los posibles niveles lógicos considerando para ello la lógica positiva.
8. Interprete la salida de la compuerta XNOR asignando a las entradas los posibles niveles lógicos, considerando para ello la lógica negativa.
9. Escriba una función lógica de cuatro variables A, B, C y D que involucre las operaciones sumas, producto y variables negadas, y a partir de ella diseñe y construya su circuito lógico.

10. Escriba una función lógica de cuatro variables A, B, C y D que involucre las operaciones lógicas XOR, XNOR y cualquier otra operación lógica, y a partir de ella simule en Proteus y construya su circuito lógico.

OBJETIVOS DE LA PRÁCTICA

- » Diseñar el circuito lógico a partir de las funciones lógicas básicas.
- » Construir el circuito lógico a partir de las funciones lógicas básicas.
- » Simular una función lógica utilizando un software adecuado.

DESARROLLO DE LA PRÁCTICA

Materiales de la práctica

- » Un juego de compuertas lógicas básicas.
- » Un protoboard (Model PB-102).
- » Puentes flexibles para protoboard, con puntas rígidas.
- » Un pelacables universal.
- » Un interruptor DIP de cuatro vías.
- » Un diodo LED
- » Un juego de resistores de 10 K Ω
- » Un juego de resistores de 330 Ω .
- » Fuente de alimentación de 5VDC

Precauciones y recomendaciones

Analizar con cuidado la función lógica a desarrollar. Ella puede contener muchas operaciones lógicas; es aconsejable rotular cada compuerta que conforma la función lógica en el plano del circuito para evitar confusiones al momento de ensamblar el circuito o de realizar la simulación.

Antes de montar el circuito de la función dada en la protoboard, es aconsejable simularlos en un software apropiado.

Tenga en cuenta que, al usar el multímetro digital para medir las resistencias, el voltaje y la corriente, este debe colocarse en las escalas de más alto valor e ir reduciéndolos hasta los valores adecuados.

Utilice los materiales adecuados al momento de realizar los montajes de las funciones lógicas, con el fin de evitar pérdidas de tiempo y obtener un buen resultado del circuito.

Tenga cuidado al conectar los diodos LED con su polaridad. Recuerde que el ánodo del diodo LED se conecta al positivo, mientras que el cátodo del diodo LED va a tierra del circuito.

Montaje de la práctica

El montaje va a depender de las funciones lógicas asignadas en el experimento.

Procedimiento

Dada la función lógica $Y_1 = A \oplus B = \overline{A}B + A\overline{B}$, realice el diseño de su circuito lógico.

Coloque a la salida de Y_1 un diodo LED, con el fin de verificar su funcionamiento.

Para obtener los niveles lógicos a la entrada de Y_1 , coloque el DIP SWITCH como se indicó en los montajes de las experiencias anteriores.

A partir del circuito lógico obtenido en el procedimiento 1, monte el circuito en la protoboard.

Después de energizar correctamente el circuito del paso 4, realice una tabla de verdad de dicha compuerta.

Repita los pasos de 1 a 5 para las siguientes funciones:

a. $Y_2 = \overline{(A + B)}\overline{C}$

b. $Y_3 = \overline{(AB + \overline{CD})}(A + \overline{B})$

c. $Y_4 = \overline{(\overline{AB} \oplus C)}(\overline{D\overline{B}})$

d. $Y_5 = \overline{A + \overline{B} \oplus \overline{C}}$

e. $Y_6 = \overline{(AB \oplus D)} + \overline{B \oplus D}$

f. $Y_7 = \overline{A \oplus B} = AB + \overline{A\overline{B}}$

Preguntas de la práctica

1. De acuerdo con las entradas y la salida de cada función lógica, construya una tabla de verdad. Para ello considere como entradas las variables (A, B, C,...) y como salida (Y_1, Y_2, Y_3, \dots). Interprete la tabla obtenida.
2. Mencione los inconvenientes presentados en el punto 1.
3. Simule las funciones lógicas asignadas en Proteus o en el software de EveryCircuit. (EveryCircuit, 2018).
4. ¿Qué cambios se presentarán si se trabaja en lógica negativa? Justifique su respuesta.

5. ¿Qué posibles cambios realizaría en esta práctica si la realizará nuevamente?
6. ¿Qué puede concluir de este experimento?

ACTIVIDADES ADICIONALES

1. Consulte el software EveryCircuit para PC y para Android (EveryCircuit, 2018) y a partir de él, simule las siete funciones lógicas dadas en el procedimiento 6 de 4.7.4.
2. Investigue cómo escribir las siete funciones (procedimiento 6 de 4.7.4) en el lenguaje de programación de Arduino.
3. Utilice el Arduino uno para montar el circuito real de una de las siete funciones dadas en el procedimiento 6 de 4.7.4.
4. Simule las siete funciones dadas en el procedimiento 6 de 4.7.4, utilizando el software gratuito de electrónica digital llamado simulador de construcción de circuitos digitales con escenarios virtuales (Miguel, 2018). En el sitio puede descargar una guía preliminar y algunos ejemplos prácticos.

Diseño y construcción del circuito real a partir de la tabla de verdad

INTRODUCCIÓN

Las tablas de verdad en electrónica digital juegan un papel importante ya que nos permiten organizar los valores de verdad de las variables de entrada y de la función o funciones de salida de un problema real. En este experimento no ahondamos en cómo se llenó la tabla de verdad, sino que estamos interesados en aplicar los métodos que se utilizan para obtener la función lógica a partir de los valores lógicos de las variables de la tabla.

Para obtener la función lógica a partir de una tabla de verdad, se hace necesario estudiar la suma de productos o minitérminos y productos de sumas o maxitérminos.

COMPETENCIA EVALUADA

Construir circuitos lógicos combinacionales, a partir de la tabla de verdad con la finalidad adquirir destrezas en los montajes de circuitos en problemas reales.

INDICADORES DE LOGROS

- » Obtiene la función lógica de una tabla de verdad, a través del software de logisim. (Logisim, 2018).

- » Obtiene la función lógica de una tabla de verdad, utilizando el método de minitérminos.
- » Calcula la función lógica de una tabla de verdad, con el método de maxitérminos.
- » Realiza el plano electrónico de una función lógica que se obtiene de una tabla de verdad, utilizando las compuertas lógicas apropiadas.
- » Simula el plano electrónico de una tabla de verdad, utilizando el software de Proteus (Proteus, 2018).
- » Reconoce qué método de simplificación es el más apropiado, a través de la tabla de verdad.

CONTENIDO TEMÁTICO

Tabla de verdad de una función lógica

La tabla de verdad consiste en un rectángulo formado por filas y columnas, y se utiliza para representar las funciones lógicas de un circuito real de manera ordenada, facilitando su interpretación. El número de columnas de entrada de la tabla de verdad depende del número de variables que contenga el problema o la función Booleana del problema a tratar y además, tendremos otras columnas que representan las salidas del problema. El número de filas de la tabla depende de las combinaciones binarias que se generan con los dos estados posibles. Esto es, para una función Booleana de n variables de entrada, el número posible de combinaciones o número de filas de la tabla de verdad está dado por 2^n . Por cada columna de salida, se obtendrá una función lógica. Para mayor información consultar a Padilla A. G. (1989, pp.2-13)

Para obtener las funciones lógicas de salida no simplificadas, en la tabla de verdad de un problema real, se presentan dos casos:

Suma de productos o minitérminos (SOP)

Para aplicar este método, se siguen los siguientes pasos:

- a. Para encontrar la función Booleana de la columna de salida, se observa en la tabla de verdad las filas identificadas en dicha columna con el valor lógico "1".
- b. El valor de verdad de cada fila es el producto de cada variable de entrada teniendo en cuenta que, si el valor de verdad de la variable es "1", la variable queda sin cambio y si el valor de verdad es "0", la variable en dicho producto se coloca negada.
- c. La función de salida estará dada por la suma de todos los productos obtenidos.

Para ampliar la información, consultar Acha (2006, p.13).

A manera de ejemplo, considérese la Tabla de verdad 5.1. de la puerta XOR.

Tabla 5.1. Tabla de verdad de la compuerta XOR

DESIGNACIÓN	TÉRMINO	ENTRADA		SALIDA
m		A	B	$Y = f(A,B) = A \oplus B$
m_0	$\overline{A}\overline{B}$	0	0	0
m_1	$\overline{A}B$	0	1	1
m_2	$A\overline{B}$	1	0	1
m_3	AB	1	1	0

De la Tabla 5.1 se nota que la fila m_1 y la m_2 tienen como salida el valor de verdad "1".

En la fila m_1 el valor de verdad de la variable A es "0", la variable debe colocarse en forma negada (\overline{A}). Por otro lado, el valor de verdad de la variable B es "1", entonces la variable B se deja tal cual. Para esta fila, se obtiene el producto ($\overline{A}B$).

En la fila m_2 el valor de verdad de la variable A es "1", la variable debe colocarse tal cual (A) y el valor de verdad de la variable B es "0", entonces la variable B se debe colocar en forma negada \overline{B} . Para esta fila, se obtiene el producto ($A\overline{B}$).

Finalmente, la función de salida $Y = f(A,B)$ es la suma de los dos productos anteriores. Esto es:

$$Y = f(A,B) = A \oplus B = \overline{A}B + A\overline{B}$$

La función $f(A,B)$ también la podemos escribir como una sumatoria:

$$f(A,B) = m_1 + m_2 = \sum m(1,2)$$

Productos de suma o máxterminos (POS)

Para aplicar este método, se siguen los siguientes pasos:

- Para encontrar la función Booleana de la columna de salida, se observa en la tabla de verdad las filas identificadas en dicha columna con el valor lógico "0".
- El valor de verdad de cada fila es la suma de cada variable de entrada, teniendo en cuenta que, si el valor de verdad de la variable es "0", la variable queda sin cambio, y si el valor de verdad es "1", la variable en dicho producto se coloca negada.

- c. La función de salida estará dada por el producto de todas las sumas obtenidas.

A manera de ejemplo, considérese la Tabla de verdad 5.2 de verdad de la puerta XOR.

Tabla 5.2. Tabla de verdad de la compuerta XOR

DESIGNACIÓN	TÉRMINOS	ENTRADA		SALIDA
M		A	B	$Y = f(A,B) = A \oplus B$
M_0	$A + B$	0	0	0
M_1	$A + \bar{B}$	0	1	1
M_2	$\bar{A} + B$	1	0	1
M_3	$\bar{A} + \bar{B}$	1	1	0

De la Tabla 5.2 se nota que la fila M_0 y la fila M_3 tienen como salida el valor de verdad "0".

En la fila M_0 el valor de verdad de las variables A y B son "0", las variables deben colocarse tal cual. Para esta fila, se obtiene el producto $(A + B)$.

En la fila M_3 el valor de verdad de las variables A y B es "1", las variables deben colocarse en la suma en forma negada. Para esta fila, se obtiene el producto $(\bar{A} + \bar{B})$.

Finalmente, la función de salida Y es el producto de las dos sumas anteriores. Esto es:

$$Y = A \oplus B = (A+B)(\bar{A} + \bar{B})$$

La función $f(A,B)$ también la podemos escribir como una productoria:

$$f(A,B) = M_0 + M_3 = \prod M(0,3)$$

De lo anterior se concluye que:

$$Y = A \oplus B = \bar{A}B + A\bar{B} = (A + B)(\bar{A} + \bar{B})$$

Esto nos indica lo siguiente:

$$\sum m_i = \prod M_j \text{ con } i \neq j$$

En el momento de obtener la función lógica a partir de la tabla de verdad, usted decide qué método desea utilizar. Es aconsejable utilizar aquel en el cual se obtiene a la salida el menor número de ceros o de unos.

TAREAS PRELIMINARES

Para comprobar su aprendizaje responda el siguiente test

1. Explique en qué consiste una tabla de verdad de una función lógica y dé ejemplos de ellas (Ndjountche, Digital Electronics: Combinational Logic Circuits, 2016, pp.51-57).
2. Explique en qué consiste el método de minitérminos y dé ejemplos de ello.
3. Construya una tabla de verdad de tres variables lógicas A, B y C como entrada y una salida Y. Llene la tabla de verdad con todas las posibles combinaciones de las entradas y coloque en la salida Y el nivel lógico "1" en cinco sitios que tú desee de la tabla. Encuentre la función lógica por minitérminos.
4. Explique en qué consiste el método de maxitérminos y de ejemplos de ello.
5. Encuentre la función lógica de salida de la tabla creada en el numeral 3 utilizando el método de maxitérmino.
6. ¿Qué puede concluir de los numerales 4 y 6?
7. Construya una tabla de verdad de cuatro variables lógicas A, B, C y D como entrada y dos salidas Y_1 y Y_2 . Llene la tabla de verdad con todas las posibles combinaciones de las entradas y coloque en la salida Y_1 el nivel lógico "1" en diez sitios que desee de la tabla. Encuentre la función lógica por minitérminos y maxitérmino; Luego, en Y_2 coloque el nivel lógico "0" en seis posiciones (tres al inicio de la tabla y tres al final de ella), encuentre la función lógica por minitérminos y maxitérmino

OBJETIVOS DE LA PRÁCTICA

- » Construir a partir de la tabla de verdad, la función lógica de salida por minitérmino.
- » Construir a partir de la tabla de verdad, la función lógica de salida por maxitérmino.
- » Simular una función lógica, obtenida por minitérmino o maxitérmino, utilizando un software adecuado.
- » Realizar montajes de funciones obtenidas a partir de la tabla de verdad en el protoboard.

DESARROLLO DE LA PRÁCTICA

Materiales de la práctica

- » Un juego de compuertas lógicas básicas.
- » Un protoboard (Model PB-102).
- » Puentes flexibles para protoboard, con puntas rígidas.
- » Un pelacables universal.
- » Un Interruptor DIP de cuatro vías.
- » Un diodo LED
- » Un juego de resistores de 10 K Ω .
- » Un juego de resistores de 330 Ω .
- » Fuente de alimentación de 5VDC.

Precauciones y recomendaciones

Interpretar con cuidado la tabla de la verdad y prestar atención en el momento de elegir el método a seguir para obtener la función lógica, ya sea por minitérminos o maxitérminos. Trate siempre de ahorrar tiempo y minimizar costos al momento de realizar el circuito real. Antes de montar el circuito de la función dada en la protoboard, es aconsejable simularlos en un software apropiado.

Tenga en cuenta que, al usar el multímetro digital para medir las resistencias, el voltaje y la corriente, este debe colocarse en las escalas de más alto valor e ir reduciéndolos hasta los valores adecuados.

Utilice los materiales adecuados al momento de realizar los montajes de las funciones lógicas obtenidas de la tabla de la verdad, con el fin de evitar pérdidas de tiempo y obtener un buen resultado del circuito.

Tenga cuidado al conectar los diodos LED con su polaridad adecuada. Recuerde que el ánodo del diodo LED se conecta al positivo, mientras que el cátodo del diodo LED va a tierra del circuito.

Montaje de la práctica

El montaje de nuestra práctica está basado en la Tabla 5.3 en la cual se muestran siete salidas de un circuito X que consta de cuatro variables de entrada.

Tabla 5.3. Tabla de verdad de un circuito X de cuatro entradas y siete salidas

DESIGNACIÓN	ENTRADAS				SALIDAS						
	A	B	C	D	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
m0	0	0	0	0	1	0	0	0	0	1	1

DESIGNACIÓN	ENTRADAS				SALIDAS						
	A	B	C	D	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
<i>m</i> ₁	0	0	0	1	1	0	0	0	1	0	1
<i>m</i> ₂	0	0	1	0	1	1	0	1	1	0	1
<i>m</i> ₃	0	0	1	1	1	1	1	1	0	0	1
<i>m</i> ₄	0	1	0	0	1	0	1	1	1	0	0
<i>m</i> ₅	0	1	0	1	1	1	1	1	0	1	1
<i>m</i> ₆	0	1	1	0	1	0	1	1	0	0	1
<i>m</i> ₇	0	1	1	1	1	1	1	1	1	0	0
<i>m</i> ₈	1	0	0	0	1	0	1	1	1	0	0
<i>m</i> ₉	1	0	0	1	1	0	1	1	0	0	1
<i>m</i> ₁₀	1	0	1	0	1	0	1	1	0	1	1
<i>m</i> ₁₁	1	0	1	1	1	1	1	1	1	0	0
<i>m</i> ₁₂	1	1	0	0	0	0	0	0	0	0	0
<i>m</i> ₁₃	1	1	0	1	0	1	0	0	1	0	1
<i>m</i> ₁₄	1	1	1	0	0	0	0	1	1	0	1
<i>m</i> ₁₅	1	1	1	1	1	0	1	1	0	1	0

Procedimiento

1. Encuentre la función lógica de cada salida de la Tabla 5.3 por minitérminos y simúlelas con el software logisim. (Logisim, 2018)
2. Encuentre la función lógica de cada salida de la Tabla 5.3 por maxitérminos y simúlelas con el software logisim.
3. Construya en el protoboard, según la indicación de su profesor, un circuito real de una de las salidas que obtuvo a partir del método de minitérminos.
4. Construya en el protoboard, según la indicación de su profesor, un circuito real de una de las salidas que obtuvo a partir del método de maxitérminos.
5. Convierta las siguientes funciones a la forma normal, y a partir de ellas construya la tabla de verdad.
 - a. $f(A,B,C) = \sum m(0,3,4,7)$
 - b. $f(A,B,C) = \prod M(1,2,5,6)$
 - c. $f(a,b,c,d) = \sum m(2,5,9,12,14,15)$
 - d. $f(x,y,z,w) = \sum M(0,1,3,4,6,7,8,10,11,13)$

6. Exprese las siguientes funciones en la forma SOP, y a partir de ellas, construya la tabla de verdad.

a. $f(A,B,C) = A\bar{B}C + AB\bar{C} + A\bar{B}\bar{C} + \bar{A}B\bar{C} + \bar{A}\bar{B}C$

b. $f(x,y,z,w) = x\bar{y}z\bar{w} + xy\bar{z}w + xyzw + \bar{x}\bar{y}z\bar{w}$

c. $f(a,b,c,d) = \bar{a}bcd + a\bar{b}\bar{c}d + ab\bar{c}\bar{d} + \bar{a}b\bar{c}d + \bar{a}bc\bar{d} + a\bar{b}c\bar{d}$

7. Exprese las siguientes funciones en la forma POS, y a partir de ellas construya las tablas de verdad.

a. $f(A,B,C) = (\bar{A} + \bar{B} + C)(A + \bar{B} + \bar{C})(\bar{A} + \bar{B} + \bar{C})(\bar{A} + B + \bar{C})$

b. $f(x,y,z,w) = (x + \bar{y} + \bar{z} + w)(\bar{x} + y + z + \bar{w})(\bar{x} + \bar{y} + z + \bar{w})$

c. $f(a,b,c,d) = (\bar{a} + \bar{b} + \bar{c} + d)(a + \bar{b} + \bar{c} + \bar{d})(\bar{a} + \bar{b} + \bar{c} + \bar{d})$

Preguntas de la práctica

1. ¿Qué importancia tienen las tablas de verdad en la solución de problemas de electrónica digital?
2. ¿Cuál cree usted que es el método más apropiado para encontrar las funciones lógicas de salida en una tabla de verdad? Justifique claramente su respuesta.
3. ¿Cree usted que la función lógica obtenida de una tabla de verdad está dada en su forma canónica? Justifique, claramente y con argumentos, su respuesta.
4. ¿Qué método cree usted que es el más recomendable en el momento de encontrar la función de una tabla de verdad?
5. ¿Encuentra algunas diferencias con las simulaciones realizadas en Proteus? Justifique su respuesta.
6. Realice una tabla comparativa en la que se muestre algunas ventajas y desventajas entre los softwares de Proteus, EveryCircuit y Logisim.
7. ¿Qué puede concluir de esta práctica?

ACTIVIDADES ADICIONALES

1. Realice el circuito real de una de las funciones de la Tabla 5.3, indicada por su profesor, utilizando el método de minitérminos y la tarjeta de Arduino uno. (Arduino, 2018).
2. Realice el circuito real de una de las funciones de la Tabla 5.3, indicada por su profesor, utilizando el método de maxitérminos y la tarjeta de Arduino uno.
3. Simule los dos problemas propuestos en esta práctica extra utilizando el software EasyEDA. (EasyEDA, 2018).

Forma Canónica y simplificación de funciones utilizando el álgebra Booleana

INTRODUCCIÓN

Este experimento se centra en encontrar la forma canónica de una función lógica ya sea a través de una función dada o de la tabla de verdad obtenida de un problema particular para posteriormente aplicarle el álgebra de Boole. Esta nos permitirá minimizar las funciones de salida por medio de los postulados, propiedades o teoremas y su aplicación a los circuitos digitales. También aprenderá cómo expresar una función cualquiera en su forma canónica.

COMPETENCIA EVALUADA

Simplificar funciones lógicas mediante el álgebra Booleana para minimizar tiempo y costos en el diseño y construcción de circuitos de electrónica combinacional.

INDICADORES DE LOGROS

- » Aplica el álgebra Booleana en la simplificación de funciones lógicas.
- » Aplica el teorema de De Morgan en la simplificación de funciones lógicas.
- » Describe los circuitos electrónicos combinacionales por medio del álgebra Booleana.

- » Convierte cualquier función lógica en una función de suma de productos.
- » Convierte cualquier función lógica en una función de productos de sumas.

CONTENIDO TEMÁTICO

Álgebra Booleana

El álgebra Booleana está basada en la teoría de conjuntos. Esto es, las variables lógicas pueden tomar dos posibles valores lógicos “0” y “1”. En electrónica digital, se utiliza para simplificar funciones lógicas con el fin de suprimir puertas lógicas innecesarias, minimizar los circuitos y costos. Esta álgebra involucra un sistema axiomático con una serie de operadores definidos en él y una serie de axiomas considerados verdaderos y a partir de ellos, unos postulados y teoremas que son demostrables a partir de los elementos del conjunto. Para mayor información consultar a Ndjountche (Digital Electronics: Combinational Logic Circuits, 2016, pp.57-65).

Postulados en el álgebra Booleana

Elementos del conjunto Booleano

Los elementos que conforman el conjunto Booleano son

Postulado 1

La suma lógica de una variable más el elemento “1” es equivalente al elemento “1”. Esto es:

$$A + 1 = 1 \quad 6.1$$

La Figura 6.1 muestra el diagrama lógico de la puerta OR con la entrada indicada. Se nota que dicha puerta para esta operación es innecesaria, ya que la salida es “1”, la cual se puede tomar de la alimentación (Vcc) del circuito.

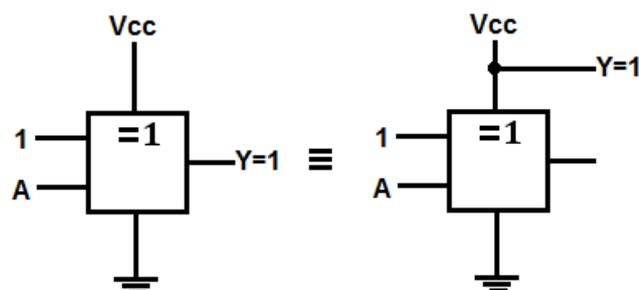


Figura 6.1. Representación del circuito lógico del postulado 1

Postulado 2

La suma lógica de una variable A más el elemento "0" es equivalente a la variable A . Esto es:

$$A + 0 = A \quad 6.2$$

La Figura 6.2 muestra el diagrama lógico de la puerta OR con las entradas indicadas. Se nota que dicha puerta para esta operación es innecesaria, ya que la salida es "A", la cual se puede tomar de la entrada de la variable A del circuito.

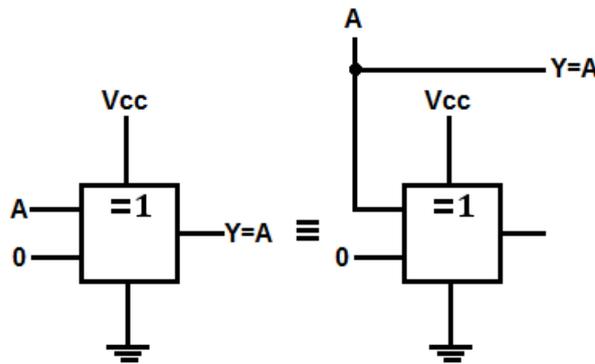


Figura 6.2. Representación del circuito lógico del postulado 2

Postulado 3

El producto lógico de una variable A con el elemento "1" es equivalente a la variable A . Esto es:

$$A \times 1 = A \quad 6.3$$

La Figura 6.3 muestra el diagrama lógico de la puerta AND con las entradas indicadas. Se nota que dicha puerta para esta operación es innecesaria, ya que la salida es "A", la cual se puede tomar de la entrada A del circuito.

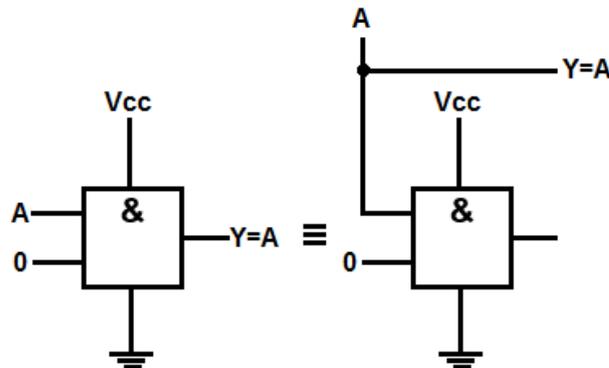


Figura 6.3. Representación del circuito lógico del postulado 3

Postulado 4

El producto lógico de una variable A con el elemento "0" es equivalente al elemento "0". Esto es:

$$A \times 0 = 0 \quad 6.4$$

La Figura 6.4 muestra el diagrama lógico de la puerta AND con las entradas indicadas. Se nota que dicha puerta para esta operación es innecesaria, ya que la salida es "0", la cual se puede tomar directamente de la tierra del circuito.

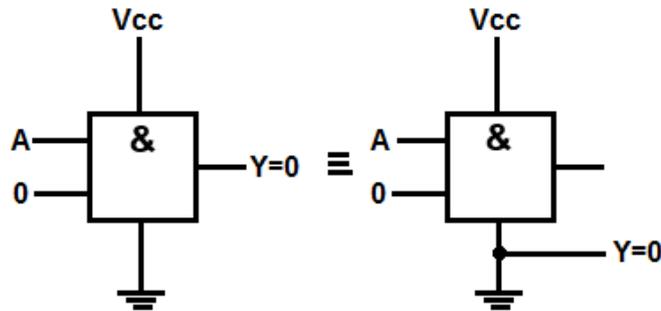


Figura 6.4. Representación del circuito lógico del postulado 4

Postulado 5

La suma lógica de dos variables A es equivalente a la variable A . Esto es:

$$A + A = A \quad 6.5$$

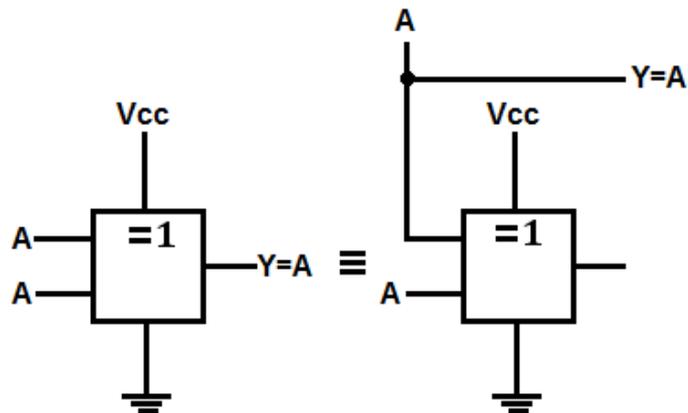


Figura 6.5. Representación del circuito lógico del postulado 5

La Figura 6.5 muestra el diagrama lógico de la puerta OR con las entradas indicadas. Se nota que dicha puerta para esta operación es innecesaria, ya que la salida es "A", la cual se puede tomar directamente de la entrada A del circuito.

Postulado 6

El producto de dos variables iguales (A) es equivalente a la variable A . Esto es:

$$A \times A = AA = A$$

6.6

La Figura 6.6 muestra el diagrama lógico de la puerta AND con las entradas indicadas. Se nota que dicha puerta para esta operación es innecesaria, ya que la salida es "A", la cual se puede tomar directamente de la entrada A del circuito.

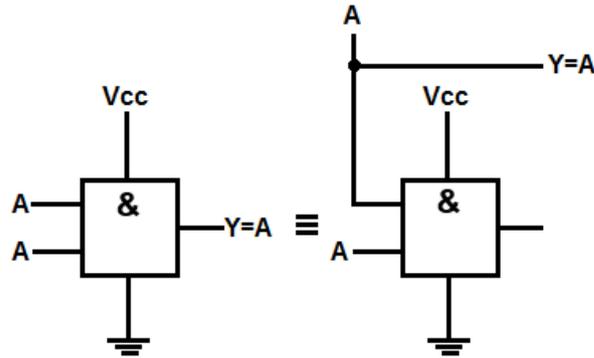


Figura 6.6. Representación del circuito lógico del postulado 6

Postulado 7

La suma lógica de una variable A más la misma variable negada \bar{A} es equivalente al elemento lógico "1". Esto es:

$$A + \bar{A} = 1$$

6.7

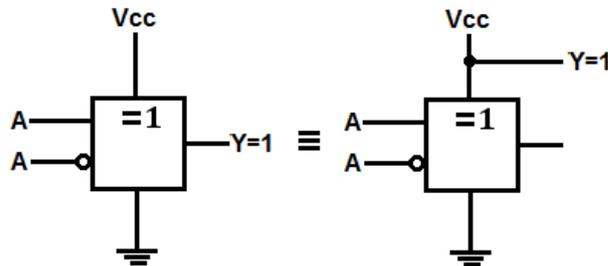


Figura 6.7. Representación del circuito lógico del postulado 7

La Figura 6.7 muestra el diagrama lógico de la puerta OR con las entradas indicadas. Se nota que dicha puerta para esta operación es innecesaria, ya que la salida se puede tomar directamente de la alimentación Vcc del circuito.

Postulado 8

El producto lógico de una variable por la misma variable negada \bar{A} es equivalente al elemento lógico "0". Esto es:

$$A \times \bar{A} = A\bar{A} = 0$$

6.8

La Figura 6.8 muestra el diagrama lógico de la puerta AND con las entradas indicadas. Se nota que dicha puerta para esta operación es innecesaria, ya que la salida "1", se puede tomar directamente de la tierra del circuito.

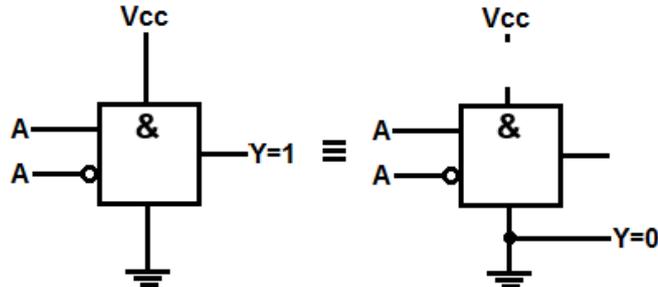


Figura 6.8. Representación del circuito lógico del postulado 8

Postulado 9

La doble negación de una variable A da como resultado la misma variable A, Esto es:

$$\overline{\overline{A}} = A \tag{6.9}$$

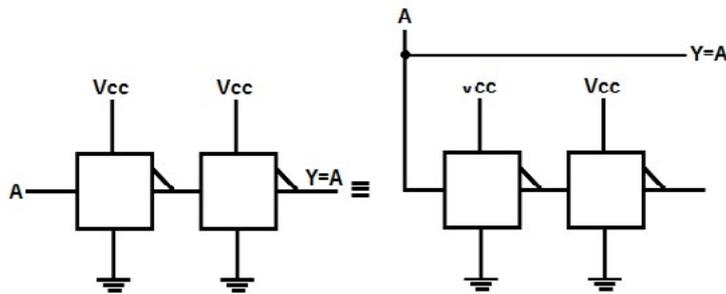


Figura 6.9. Representación del circuito lógico del postulado 9

La Figura 6.9 muestra el diagrama lógico de dos puertas NOT con las conexiones indicadas. Se nota que estas dos puertas para esta operación son innecesarias, ya que la salida "A", se puede tomar directamente de la variable A del circuito.

Propiedades del álgebra Booleana

Propiedad conmutativa para la suma y el producto

Sean A y B dos variables lógicas, se cumple que:

$$A + B = B + A, \quad AB = BA \tag{6.10}$$

Propiedad asociativa para la suma y el producto

Sean A, B y C tres variables lógicas, se cumple que:

$$A + B + C = (A + B) + C = A + (B + C), \quad ABC = (AB)C = A(BC) \tag{6.11}$$

Propiedad distributiva

Sean A, B y C tres variables lógicas, se cumple que:

$$A(B + C) = AB + AC, \quad A + BC = (A + B)(A + C) \quad 6.12$$

Teoremas del álgebra Booleana

Teorema de absorción

Parte a. Sean A y B dos variables lógicas, se cumple que:

$$A + AB = A \quad 6.13$$

Prueba:

$$A + AB = A(1 + B) = A(1) = A$$

Parte b. Sean A y B dos variables lógicas, se cumple que:

$$A(A + B) = A \quad 6.14$$

Prueba:

$$A(A + B) = AA + AB = A + AB = A$$

Parte c. Sean A y B dos variables lógicas, se cumple que:

$$A + \bar{A}B = A + B \quad 6.15$$

Prueba:

$$A + \bar{A}B = (A + \bar{A})(A + B) = (1)(A + B) = A + B$$

Parte d. Sean A y B dos variables lógicas, se cumple que:

$$A(\bar{A} + B) = AB \quad 6.16$$

Prueba:

$$A(\bar{A} + B) = A\bar{A} + AB = 0 + AB = AB$$

Teorema de De Morgan

Sean $A_1, A_2, B_3, \dots, A_n$ variables lógicas, se cumple que:

$$\overline{\sum_{i=1}^n A_i} = \prod_{i=1}^n \bar{A}_i \quad \text{y} \quad \overline{\prod_{i=1}^n A_i} = \sum_{i=1}^n \bar{A}_i \quad 6.17$$

Para dos variables A y B , se tiene

$$\overline{A + B} = \bar{A}\bar{B}$$

Prueba

Tabla 6.1. prueba del teorema de De Morgan

A	B	\bar{A}	\bar{B}	$A + B$	$\overline{A + B}$	$\bar{A}\bar{B}$
0	0	1	1	0	1	1
0	1	1	0	1	0	0
1	0	0	1	1	0	0
1	1	0	0	1	0	0

Las dos últimas columnas de la Tabla 6.1 nos muestran que sus valores de verdad son iguales, por lo tanto, se cumple que:

$$\overline{A + B} = \bar{A}\bar{B}$$

De igual forma, se demuestra el segundo teorema de la ecuación 6.17.

Puede ampliar esta información en Padilla A. G. (1989, pp.13-20)

Forma canónica de una función Booleana

Teniendo en cuenta las dos formas de obtener las funciones lógicas de una tabla de verdad por SOP y POS, veremos, por medio de ejemplos, estas dos posibilidades.

Una función está en forma canónica cuando en todos sus términos, ya sea SOP o POS, aparece cada variable en forma normal o en forma negada. Las siguientes funciones están dadas en forma canónica:

$$f(A,B,C) = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + A\bar{B}C + A\bar{B}C$$

$$f(A,B,C) = (A + \bar{B} + \bar{C})(\bar{A} + B + C)(\bar{A} + \bar{B} + \bar{C})$$

Ahora se muestran dos funciones que no están en su forma canónica:

$$f(A,B,C) = ABC + \bar{A}\bar{B}\bar{C}$$

$$f(A,B,C) = (A + B + C)(A + \bar{B}\bar{C})(\bar{A} + \bar{B} + C)$$

Forma de convertir cualquier función a su forma canónica SOP

Observe la siguiente función lógica de tres variables A , B y C .

$$f(A,B,C) = ABC + \bar{A}\bar{B}\bar{C}$$

La función no está en su forma canónica SOP, ya que a pesar de que cada término tiene las tres variables, vemos que el segundo término $\bar{A}\bar{B}\bar{C}$ contiene la negación del producto BC y no de cada variable negada. Para transformarla, aplicamos la ecuación 6.17. Esto es:

$$\bar{BC} = \bar{B} + \bar{C}$$

Luego resulta:

$$f(A,B,C) = ABC + A(\bar{B} + \bar{C}) = ABC + A\bar{B} + A\bar{C}$$

Podemos notar que, en el segundo término falta la variable C y en el tercero la variable B. Para ello aplicamos la ecuación 7.

$$\begin{aligned} f(A,B,C) &= ABC + A\bar{B}(C + \bar{C}) + A\bar{C}(B + \bar{B}) \\ f(A,B,C) &= ABC + A\bar{B}C + A\bar{B}\bar{C} + A\bar{C}B + A\bar{C}\bar{B} = m_7 + m_5 + m_4 + m_6 + m_4 \\ f(A,B,C) &= m_4 + m_5 + m_6 + m_7 = \sum m(4,5,6,7) \end{aligned}$$

Forma de convertir cualquier función a su forma canónica SOP

Ahora consideremos otra función dada por:

$$f(A,B,C) = (A + B + C)(A + \bar{B}\bar{C})(\bar{A} + \bar{B} + C)$$

Esta no está en su forma canónica SOP, ya que en la expresión $(A + \bar{B}\bar{C})$ falta el signo + entre \bar{B} y \bar{C} . Para conseguirlo aplicamos la ecuación 17 al producto $\bar{B}\bar{C}$. Esto es:

$$\bar{B}\bar{C} = \bar{B} + \bar{C} = B + C$$

Finalmente tenemos:

$$f(A,B,C) = (A + B + C)(A + B + C)(\bar{A} + \bar{B} + C)$$

Pero del postulado 6 se tiene:

$$f(A,B,C) = (A + B + C)(\bar{A} + \bar{B} + C) = M_0 M_6 = \prod M (0.6)$$

Puede ampliar esta información en: Padilla A. G. (1989, pp.20-21)

TAREAS PRELIMINARES

Para comprobar su aprendizaje responda el siguiente test:

- » Realice un cuadro comparativo entre las familias lógicas TTL y CMOS.
- » Explique detalladamente los siguientes parámetros de las compuertas lógicas básicas: tiempo de retardo de propagación, corriente máxima, voltaje máximo, disipación de potencia y el fan-out (o abanico de salida).
- » ¿Cuál es la importancia de aplicar el álgebra booleana a una función lógica?
- » Defina el concepto de variable y dé ejemplos de ella.
- » Identifique en una función lógica los términos de producto, de negación y de suma, a través de ejemplos concretos.
- » Una función lógica de tres variables A, B y C está dada por $A + BC(\bar{A} + \bar{C})$, aplique el álgebra Booleana para minimizarla si es posible.

- » Realice el circuito lógico de la función anterior (sin aplicarle el álgebra Booleana) y el circuito lógico de la función simplificada (si es posible). Mencione cuál de los dos le resultó más sencillo y ¿por qué?

OBJETIVOS DE LA PRÁCTICA

- » Expresar cualquier función Booleana en su forma canónica.
- » Aplicar el álgebra Booleana en la simplificación de funciones.
- » Diseñar el circuito real a partir de la función Booleana simplificada por medio del álgebra Booleana que ha sido obtenida de una tabla de verdad a través del método POS o SOP.
- » Aplicar los teoremas de De Morgan a las funciones lógicas.
- » Simular una función lógica después de aplicarle el álgebra Booleana.
- » Verificar las salidas de una función lógica a través de la experimentación.

DESARROLLO DE LA PRÁCTICA

Materiales de la práctica

1. Un juego de puertas lógicas básicas.
2. Un protoboard (Model PB-102).
3. Puentes flexibles para protoboard, puntas rígidas.
4. Un pelacables universal.
5. Un Interruptor DIP de cuatro vías.
6. Tres diodos LED.
7. Un juego de resistores de 10 K Ω .
8. Un juego de resistores de 330 Ω .
9. Fuente de alimentación de 5VDC.

Precauciones y recomendaciones

Para evitar fallos en los circuitos, es recomendable primero simularlos en un software apropiado. En un simulador resulta muy fácil hacer cambios y observar el comportamiento de los circuitos. Cuando estamos satisfechos de nuestro análisis, procederemos a realizar el circuito, ya sea en una protoboard o en una tarjeta para circuito impreso.

Con un multímetro mida los niveles de voltaje de la fuente DC que utilizará para energizar los elementos que conforman el circuito.

Tenga cuidado al energizar los circuitos integrados, ya que estos son muy delicados. Si le colocamos un voltaje que está por encima del establecido en el data chip puede dañar el integrado.

Tenga en cuenta que, al usar el multímetro digital para medir las resistencias, el voltaje y la corriente, este debe colocarse en las escalas de más alto valor e ir reduciéndolos hasta los valores adecuados.

Utilice los materiales adecuados en el momento de realizar los montajes de las funciones lógicas obtenidas de la tabla de la verdad, con el fin de evitar pérdidas de tiempo y obtener un buen resultado del circuito.

Tenga cuidado al conectar los diodos LED con su polaridad adecuada. Recuerde que el ánodo del diodo LED se conecta al positivo, mientras que el cátodo del diodo LED va a tierra del circuito.

Montajes de la práctica

El montaje de la práctica está basado en la Tabla 6.2, en la cual se muestran siete salidas de un circuito X que consta de cuatro variables de entrada.

Tabla 6.2. Tabla de verdad de un circuito X de cuatro entradas y siete salidas

DESIGNACIÓN	ENTRADAS				SALIDAS						
	A	B	C	D	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
m_0	0	0	0	0	1	0	0	0	0	0	1
m_1	0	0	0	1	1	0	0	1	1	1	0
m_2	0	0	1	0	1	1	0	0	1	0	1
m_3	0	0	1	1	0	1	1	1	0	1	0
m_4	0	1	0	0	1	0	0	0	1	0	1
m_5	0	1	0	1	1	1	1	1	0	1	1
m_6	0	1	1	0	1	0	1	1	0	1	0
m_7	0	1	1	1	0	1	1	1	1	1	0
m_8	1	0	0	0	1	0	0	1	1	1	0
m_9	1	0	0	1	0	0	1	1	0	1	0
m_{10}	1	0	1	0	1	0	1	1	0	1	1
m_{11}	1	0	1	1	0	1	1	1	1	1	0
m_{12}	1	1	0	0	0	1	0	1	0	1	0
m_{13}	1	1	0	1	0	1	0	1	1	1	0
m_{14}	1	1	1	0	0	1	0	1	1	1	0
m_{15}	1	1	1	1	0	1	0	1	0	1	0

Procedimiento

1. Primero considere la función de salida Y_1 y encuentre su función lógica, observe en que m_i tendrá un nivel lógico alto. Esto con el fin de hallar Y_1 por el método de minitérminos.
2. Expresé Y_1 en la forma $\sum_A(0,1,2,4,5,6,8,10)$, donde el "0" corresponde a $\overline{A}\overline{B}\overline{C}\overline{D}$, el "8" es $\overline{A}\overline{B}CD$, etc.
3. Finalmente, Y_1 escríbalo sumando todos los resultados del paso 2.
4. Aplique el álgebra Booleana para simplificar la función Y_1 del paso 3.
5. Simule en logisim la función obtenida en el paso 3 y en el paso 4.
6. Arme el circuito del paso 2 en la protoboard y verifique la Tabla 6.2 en la columna correspondiente a Y_1 .
7. Considere la función de salida Y_1 y encuentre su función lógica, observe que tendrá un nivel lógico bajo. Esto con el fin de hallar Y_1 por el método de maxitérminos.
8. Expresé Y_1 en la forma $\prod_4(3,7,9,11,12,13,14,15)$, donde el "3" corresponde a $A + B + \overline{C} + \overline{D}$, el "8" es $\overline{A}\overline{B}CD$, etc.
9. Finalmente, escriba Y_1 multiplicando todos los resultados del paso 8.
10. Aplique el álgebra Booleana para simplificar la función Y_1 del paso 9.
11. Simule en logisim la función obtenida en el paso 9 y en el paso 10.
12. Arme el circuito del paso 10 en la protoboard y verifique la Tabla 6.2 en la columna correspondiente a Y_1 .
13. Repita los pasos del 1 al 12 para el resto de funciones de la Tabla 6.2.

Preguntas sobre la práctica

1. ¿En qué consiste el método de minitérminos y maxitérminos?
2. Al aplicar los métodos de minitérminos y maxitérminos, ¿la función obtenida está en forma canónica?
3. ¿En qué consiste el álgebra Booleana?
4. Verifique los teoremas de De Morgan.
5. Expresé las siguientes funciones lógicas a su forma canónica SOP y POS utilizando la notación $\sum m(\dots)$ y $\prod M(\dots)$.
 - a. $f_1(A,B,C,D) = \overline{A} + \overline{BC} + \overline{ABC} + AD$
 - b. $f_2(A,B,C) = A + BC(\overline{A} + \overline{C})$
 - c. $f_3(A,B,C,D) = (A + CD)(\overline{AB} + \overline{CD})(\overline{B} + AD)$
 - d. $f_4(A,B,C) = \overline{A} + A(B + \overline{AC}) + \overline{ABC}$
6. ¿Qué puede concluir de esta práctica?

ACTIVIDADES ADICIONALES

1. Escriba dos de las funciones indicadas en la Tabla 6.2, indicadas por su profesor utilizando el lenguaje de programación de Arduino.
2. Realice el circuito real para las dos funciones tomadas en Arduino uno y a la salida coloque un diodo LED.



Puertas universales NAND y NOR

INTRODUCCIÓN

Las compuertas NAND y NOR son consideradas como puertas universales, esto se debe a que ellas se pueden combinar para implementar cualquier función lógica. Esta práctica abarca el estudio de las compuertas NAND y NOR, para ello comprende primero la transformación de las compuertas básicas en compuertas NAND y NOR exclusivamente y la implementación de cualquier función lógica en compuertas NAND o NOR exclusivamente.

Para ampliar la información, consultar a Padilla (1989, pp.48-50).

COMPETENCIA EVALUADA

Implementar cualquier función lógica utilizando el álgebra Booleana, con la finalidad de diseñar los circuitos combinacionales con únicamente compuertas NAND o NOR.

INDICADORES DE LOGROS

- » Identifica una compuerta NAND por medio de sus símbolos.
- » Identifica una compuerta NOR por medio de sus símbolos.
- » Describe el comportamiento de las compuertas universales.

- » Construye la tabla de la verdad de las compuertas universales para cualquier número de entradas.
- » Realiza el diagrama de tiempo de las compuertas universales para cualquier número de entradas.
- » Experimenta el comportamiento de las compuertas universales utilizando la protoboard.
- » Simula el comportamiento de las compuertas universales utilizando EveryCircuit.
- » Realiza transformaciones de cualquier función lógica en términos de la compuerta NAND únicamente.
- » Realiza transformaciones de cualquier función lógica en términos de la compuerta NOR únicamente.

CONTENIDO TEMÁTICO

Las puertas NAND y NOR son consideradas universales ya que cualquier puerta lógica o función lógica puede transformarse en solo puertas NAND o NOR únicamente después de aplicarle los postulados, propiedades o teoremas del álgebra Booleana.

Puertas básicas expresadas únicamente con puertas NAND

A continuación, se expresa cada puerta lógica en un circuito equivalente con solo puertas NAND.

Puerta NOT ($Y = \bar{A}$)

Seguidamente, expresamos la puerta NOT como una puerta NAND.

$$Y = \bar{A} = \bar{A} + \bar{A} = \overline{A\bar{A}}$$

De aquí notamos que $\overline{A\bar{A}}$ corresponde a una puerta NAND con una sola entrada A . La Figura 7.1 muestra las puertas equivalentes.

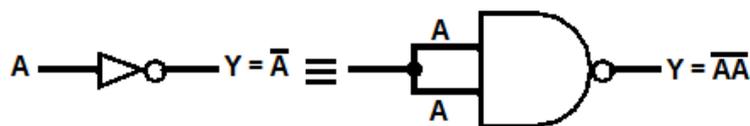


Figura 7.1. Puerta NOT

Puerta AND ($Y = AB$)

Como tenemos un producto AB , aplicamos una doble negación y obtenemos:

$$Y = AB = \overline{\overline{AB}}$$

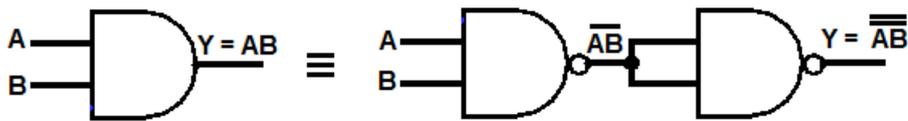


Figura 7.2. Puerta AND

Puerta OR ($Y = A + B$)

Como tenemos una suma $A + B$, aplicamos una doble negación para poder transformar la suma en un producto. Después de aplicar el teorema de De Morgan, resulta.

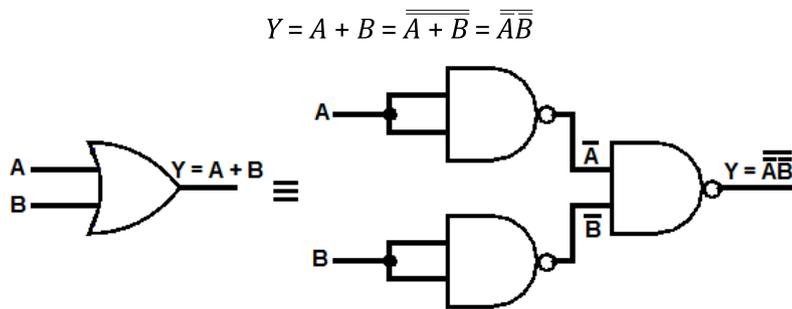


Figura 7.3. Puerta OR

Puerta NOR ($Y = \overline{A + B}$)

Como tenemos una suma negada $\overline{A + B}$, aplicamos el teorema de De Morgan para transformar la suma en producto y después al resultado obtenido, se le aplica la doble negación. Esto es:

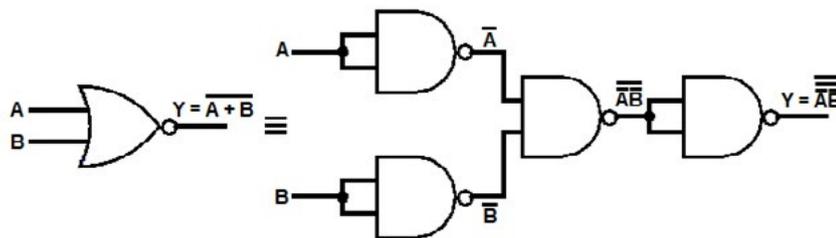


Figura 7.4. Puerta NOR

Puerta XOR ($Y = A \oplus B = \overline{A}B + A\overline{B}$)

Como tenemos una suma, aplicamos una doble negación y el teorema de De Morgan para transformar la suma en producto. Esto es:

$$Y = A \oplus B = \overline{A}B + A\overline{B} = \overline{\overline{\overline{\overline{A}B}} + \overline{\overline{\overline{\overline{A}B}}} = (\overline{\overline{A}B})(\overline{\overline{A}B})$$

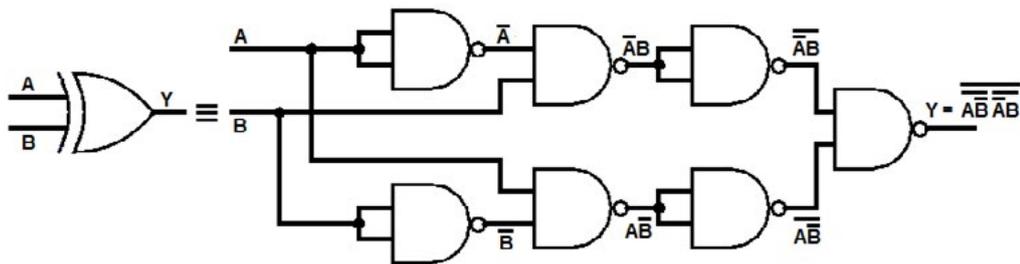


Figura 7.5. Puerta XOR

Puerta XNOR $Y = \overline{A \oplus B} = \overline{AB} + \overline{A\overline{B}}$

Como tenemos una suma, aplicamos una doble negación y el teorema de De Morgan para transformar la suma en producto. Esto es:

$$Y = \overline{A \oplus B} = \overline{AB + \overline{A}\overline{B}} = \overline{\overline{\overline{AB} + \overline{\overline{A}\overline{B}}}} = \overline{\overline{AB}} \overline{\overline{\overline{A}\overline{B}}}$$

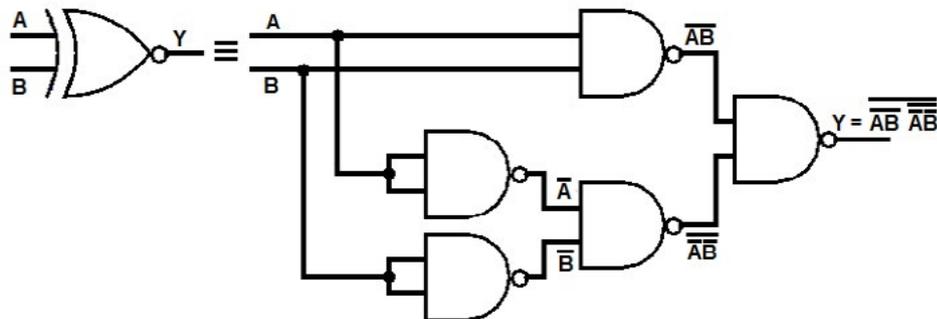


Figura 7.6. Puerta XNOR

Implementación de una función lógica con puertas NAND

1. Aplicar una doble negación a la función lógica.
2. Si la función Booleana a transformar es un producto, no se hace ningún cambio a la doble negación. Si la función Booleana es una suma de términos, con una de las negaciones, transformamos la suma en productos al aplicarle el teorema de De Morgan.
3. Si siguen apareciendo sumas, se sigue aplicando lo anterior hasta que todas las sumas y productos se conviertan en compuertas NAND o productos negados.

A continuación, se presenta la siguiente función lógica, la cual se desea transformar a compuertas NAND únicamente.

$$Y = (\overline{AB}) + (A + \overline{B} + C)$$

Primero, aplicamos una doble negación a la función dada

$$Y = \overline{\overline{(\overline{AB}) + (A + \overline{B} + C)}}$$

Luego, transformamos la suma que separa los dos paréntesis en producto, al aplicar el teorema de De Morgan utilizando una de las dos negaciones. Esto es,

$$Y = \overline{\overline{AB}(A + \overline{B} + C)}$$

Al paréntesis de la derecha se le aplica el teorema de De Morgan

$$Y = \overline{\overline{AB}(\overline{ABC})}$$

Al paréntesis de la derecha se aplica una doble negación

$$Y = \overline{\overline{AB}(\overline{\overline{\overline{ABC}}})}$$

La Figura 7.7 muestra el circuito lógico

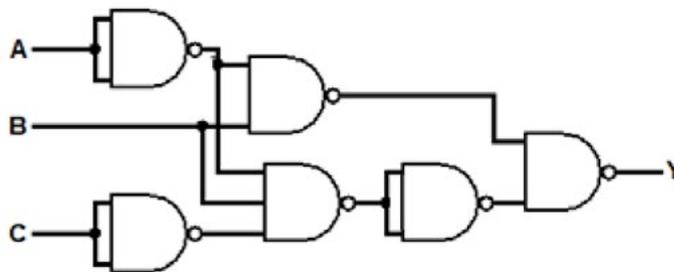


Figura 7.7. Circuito lógico de la función Booleana Y

Implementación de una función lógica con puertas NOR

Para implementar cualquier función lógica con compuerta NOR, se siguen los siguientes pasos:

1. Aplicar una doble negación a la función lógica.
2. Si la función Booleana a transformar es una suma, no se hace ningún cambio a la doble negación. Si la función Booleana es un producto, con una de las negaciones, transformamos la suma en productos al aplicarle el teorema de De Morgan.
3. Si siguen apareciendo productos, se sigue aplicando lo anterior hasta que todos los productos y sumas se conviertan en compuertas NOR o sumas negadas.

A continuación, se presenta la siguiente función lógica, la cual se desea transformarla a compuertas NOR únicamente.

$$Y = \overline{AB} + (A + \overline{B} + C)$$

Primero, se aplica una doble negación a la función dada

$$Y = \overline{\overline{\overline{AB} + (A + \overline{B} + C)}}$$

Seguidamente, se aplica una doble negación a cada paréntesis. Esto es,

$$Y = \overline{\overline{AB}} + \overline{\overline{A + B + C}}$$

Al primer paréntesis se le aplica la ecuación 6.17 y resulta:

$$Y = \overline{AB} + \overline{A + B + C}$$

La Figura 7.8 muestra el circuito lógico

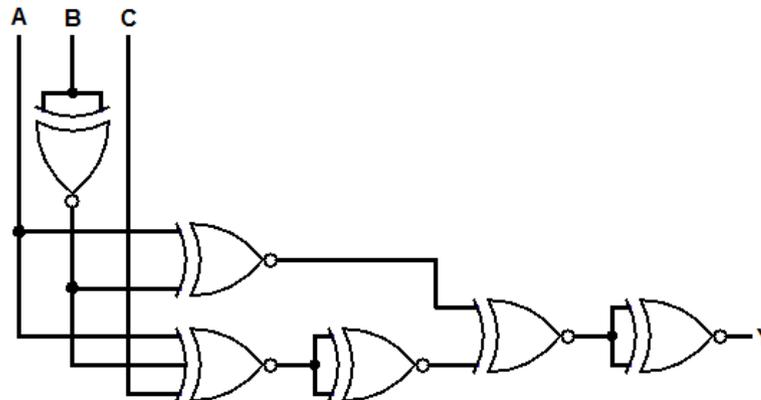


Figura 7.8. Circuito lógico de la función Booleana Y

TAREAS PRELIMINARES

Para comprobar su aprendizaje responda el siguiente test:

1. Describa el funcionamiento de las compuertas universales y mencione la importancia de ellas en la electrónica digital.
2. Expresar las compuertas NOT, AND, OR, XOR y XNOR en términos de las compuertas NAND mediante la función lógica y por medio del circuito lógico.

OBJETIVOS DE LA PRÁCTICA

- » Expresar cualquier función Booleana únicamente en puertas NAND.
- » Expresar cualquier función Booleana únicamente en puertas NOR.
- » Simular cualquier función dada únicamente con compuertas NAND o NOR, en cualquier software apropiado para simulación de electrónica digital.
- » Realizar los diagramas electrónicos de cualquier función lógica expresada únicamente con compuertas NAND o NOR.
- » Probar el funcionamiento de cualquier función lógica expresada únicamente con compuertas NAND o NOR, en el protoboard.

DESARROLLO DE LA PRÁCTICA

Materiales de la práctica

- » Un juego de puertas lógicas NAND y NOR.
- » Un protoboard (Model PB-102).
- » Puentes flexibles para protoboard, con puntas rígidas.
- » Un pelacables universal.
- » Un Interruptor DIP de cuatro vías.
- » Un diodo LED.
- » Un juego de resistores de 10 K Ω .
- » Un juego de resistores de 330 Ω .
- » Fuente de alimentación de 5VDC.

Precaución y recomendaciones

Tenga cuidado al aplicar los teoremas de De Morgan y las propiedades del álgebra Booleana en la transformación de una función lógica cualquiera en una función equivalente expresada únicamente en compuertas NAND y NOR. Para evitar fallos en los circuitos, es recomendable primero simularlos en un software apropiado, para luego proceder a realizar el circuito ya sea en una protoboard o en una tarjeta para circuito impreso.

Con un multímetro mida los niveles de voltaje de la fuente DC que utilizará para energizar los elementos que conforman el circuito.

Tenga cuidado al energizar los circuitos integrados ya que estos son muy delicados. Si le colocamos un voltaje que está por encima del establecido en el data chip, se puede dañar el integrado.

Tenga en cuenta que, al usar el multímetro digital para medir las resistencias, el voltaje y la corriente, este debe colocarse en las escalas de más alto valor e irse reduciendo hasta los valores adecuados.

Utilice los materiales adecuados en el momento de realizar los montajes, con el fin de evitar pérdidas de tiempo y obtener un buen resultado del circuito.

Tenga cuidado al conectar los diodos LED con su polaridad adecuada. Recuerde que el ánodo del diodo LED se conecta al positivo, mientras que el cátodo del diodo LED va a tierra del circuito.

Montajes de la práctica

Para este experimento se utilizará la Figura 7.9 y la Tabla 7.1, que muestra las dos salidas de un circuito X que consta de cuatro entradas.

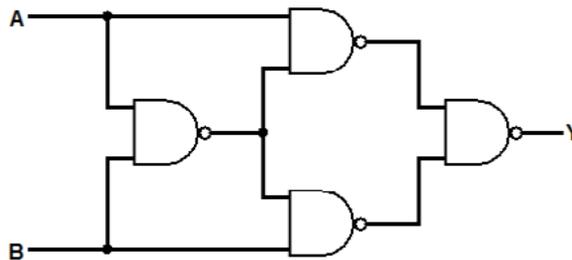


Figura 7.9. Circuito lógico de la función Booleana Y

Tabla 7.1. Tabla de verdad de un circuito X de cuatro entradas y dos salidas

DESIGNACIÓN	ENTRADAS				SALIDAS	
	A	B	C	D	Y_1	Y_2
m_0	0	0	0	0	0	1
m_1	0	0	0	1	0	1
m_2	0	0	1	0	1	1
m_3	0	0	1	1	1	1
m_4	0	1	0	0	0	0
m_5	0	1	0	1	1	1
m_6	0	1	1	0	0	1
m_7	0	1	1	1	1	0
m_8	1	0	0	0	0	0
m_9	1	0	0	1	0	1
m_{10}	1	0	1	0	0	1
m_{11}	1	0	1	1	1	0
m_{12}	1	1	0	0	0	0
m_{13}	1	1	0	1	1	1
m_{14}	1	1	1	0	0	1

Procedimiento

1. Realice una simulación en logisim del circuito de la Figura 7.9. A partir de la simulación, construya una tabla de verdad y obtenga los niveles lógicos de la salida para todas las posibles combinaciones de las entradas A y B.
2. Utilice la protoboard para construir el circuito de la Figura 7.9 y elabore una tabla de verdad para obtener los niveles lógicos de la salida para todas las posibles combinaciones de las entradas A y B.
3. Utilizando la Tabla 7.1, encuentre la función lógica Y_1 por minitérminos.
4. Utilizando la Tabla 7.1, encuentre la función lógica Y_2 por minitérminos.
5. Utilizando la Tabla 7.1, encuentre la función lógica Y_1 por maxitérminos.

6. Utilizando la Tabla 7.1, encuentre la función lógica Y_2 por maxitérminos.
7. Exprese la función lógica obtenida en 3 y 5 con compuertas NAND únicamente.
8. Exprese la función lógica obtenida en 4 y 6 con compuertas NOR únicamente.
9. Simule en Proteus los resultados obtenidos en 7 y haga una tabla de verdad considerando todos los valores de las variables de entradas.
10. Simule en EveryCircuit los resultados obtenidos en 8 y haga una tabla de verdad considerando todos los valores de las variables de entradas.
11. Realice los montajes en la protoboard de las funciones lógicas obtenidas en 7 y 8.

Preguntas de la práctica

1. De acuerdo con los resultados obtenidos en los pasos 1 y 2 del desarrollo, diga a qué compuerta lógica corresponde la salida Y del circuito.
2. Justifique claramente los resultados obtenidos en los numerales 7 y 8 del desarrollo de la práctica.
3. Compare los resultados de los numerales 9, 10 y 11 de 7.7.4.
4. Dadas las siguientes funciones,
$$f(A,B,C) = \sum m(0,3,4,7), \quad f(A,B,C) = \prod M(1,2,5,6)$$
 - a. Simplifique al máximo las funciones dadas.
 - b. Implemente las simplificaciones obtenidas mediante puertas NAND.
 - c. Diseñe el circuito obtenido en el paso anterior.
 - d. Monte el circuito de puertas NAND utilizando el protoboard.
 - e. Implemente las simplificaciones obtenidas mediante puertas NOR.
 - f. Diseñe el circuito obtenido en el paso anterior.
 - g. Monte el circuito obtenido de puertas NOR utilizando el protoboard.
5. Explique detalladamente las dificultades en este experimento y mencione los posibles arreglos que le haría para mejorarlo.
6. ¿Qué puede concluir de esta práctica?

ACTIVIDADES ADICIONALES

1. Investigue cómo funciona un relay y cuál es su papel funciona en la electrónica digital.

2. Realice el plano del punto 2 de 7.7.4 con la variante de colocar una bombilla de 60 watt en vez del diodo LED y para ello utilice un relay de 5 VDC.
3. Realice el circuito real del punto 2 de 7.7.4 en una protoboard con la variante de colocar una bombilla de 60 watt en vez del diodo LED. Para lo anterior, utilice un relay de 5 VDC.
4. Considere los circuitos realizados con puertas NAND y NOR de la pregunta 4 (numerales d y g) de 7.7.5 y en la salida reemplace el diodo LED por una bombilla de 60 watt.

Desarrollo práctico de un sumador completo en BCD

INTRODUCCIÓN

Este experimento está enfocado en un circuito lógico combinacional que se encarga de realizar la suma completa de dos números binarios de cuatro bits en BCD. Aquí analizaremos lo siguiente: el código BCD (decimal codificado en binario), códigos no válidos en BCD, la conversión de un número decimal en BCD, la suma en BCD, tipos de errores en BCD y su corrección.

COMPETENCIA EVALUADA

Realiza representaciones de números decimales en números binarios, para la realización de sumas en BCD, participando como diseñador en los montajes de los circuitos relacionados con las operaciones de suma y resta con el código BCD.

INDICADORES DE LOGROS

- » Explica el código BCD y da ejemplos de ellos teniendo en cuenta los números binarios y los números decimales.
- » Reconoce los números no válidos en BCD, para la realización de sumas en BCD.

- » Simula utilizando Proteus, sumas de dos números binarios de cuatro bits en BCD.
- » Desarrolla en una protoboard, sumas de dos números binarios de cuatro bits en BCD.
- » Desarrolla en una protoboard, restas de dos números binarios de cuatro bits en BCD.

CONTENIDO TEMÁTICO

Código BCD (Decimal Codificado en Binario)

El código BCD también conocido como 8421 es un método para convertir un número decimal en un número binario. Cada dígito decimal se codifica con un número binario de cuatro bits, y a partir de esta codificación binaria se pueden realizar las operaciones básicas (suma, resta, multiplicación y división) de sus equivalentes decimales, sin perder en las operaciones realizadas la precisión.

La Tabla 8.1 muestra la equivalencia entre los números binarios, números decimales y el número en BCD.

Tabla 8.1. Equivalencia entre los números decimal, binario y BCD

NÚMERO DECIMAL	NÚMERO BINARIO	CÓDIGO BCD
0	0000	0000
1	0001	0001
2	0010	0010
3	0011	0011
4	0100	0100
5	0101	0101
6	0110	0110
7	0111	0111
8	1000	1000
9	1001	1001
10	1010	CNVBCD
11	1011	
12	1100	
13	1101	
14	1110	
15	1111	

Los números 1010, 1011, 1100, 1101, 1110 y 1111 no son válidos en el código BCD (CNVBCD) ya que no corresponden a un dígito del sistema decimal. Para corregir este error, a cada número binario se le resta el decimal 6 que en binario corresponde al 0110.

Por ejemplo, el $13_{10} = 1101_2$. A este binario le restamos el 0110_2 y obtenemos:

$$1101_2 - 0110_2 = 10011_2$$

El número 10011_2 corresponde en el código BCD a

$$0001\ 0011_{BCD} = 13_{10}$$

Conversión entre un número decimal y un número en BCD

Teniendo en cuenta que cualquier dígito del sistema decimal está formado por cuatro bits (ver Tabla 8.1), la conversión de cualquier número decimal en un número en BCD, se puede realizar de la siguiente forma:

1. Se separan los dígitos del número dado en decimal.
2. Cada dígito decimal se transforma en su equivalente BCD.
3. El número que resulta es el número BCD del decimal.

Por ejemplo, el número $679_{10} = 011001111001_{BCD}$

Para convertir de BCD a decimal se procede a la inversa. Esto es, se forman grupos de cuatro bits de derecha hacia la izquierda y se busca el equivalente decimal de cada grupo. El número que resulta es el decimal correspondiente. Si al formar los grupos de cuatro bits, nos queda el último grupo con un número menor de cuatro bits, lo completamos con cero hacia la izquierda.

Por ejemplo, para el número 10010110001001_{BCD} formamos los grupos de cuatro bits de derecha a izquierda. Esto es:

$$(10)(0101)(1000)(1001)$$

Como podemos notar que el último grupo que está más a la izquierda es de dos dígitos, lo rellenamos con 00 a la izquierda. Esto es:

$$(0010)(0101)(1000)(1001)$$

Ahora se busca el dígito decimal que corresponde a cada grupo. Entonces tendremos:

$$10010110001001_{BCD} = 2589_{10}$$

Suma en BCD

Al sumar dos dígitos decimales representados en el código BCD, es posible que el número que resulta en dicha suma sea un CNVBCD. Para eliminar el error, se debe sumar el decimal 6.

Error en BCD

Los posibles errores al realizar sumas en BCD son:

1. Cuando hay códigos no válidos en cualquier fase de corrección.
2. Cuando se presenta un carry de un grupo de cuatro bits hacia el siguiente grupo en la fase inicial de la operación. En fases posteriores ya no se tiene en cuenta este tipo de error.

Circuito que detecta la presencia de CNVBCD

Tabla 8.2. Código No Válido en BCD (CNVBCD)

A	B	C	D	NÚMERO BINARIO	CNVBCD
0	0	0	0	0000	0
0	0	0	1	0001	0
0	0	1	0	0010	0
0	0	1	1	0011	0
0	1	0	0	0100	0
0	1	0	1	0101	0
0	1	1	0	0110	0
0	1	1	1	0111	0
1	0	0	0	1000	0
1	0	0	1	1001	0
1	0	1	0	1010	1
1	0	1	1	1011	1
1	1	0	0	1100	1
1	1	0	1	1101	1
1	1	1	0	1110	1
1	1	1	1	1111	1

Utilizando el método de min-términos, tendremos:

$$CNVBCD = A\bar{B}\bar{C}\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + A\bar{B}C\bar{D} + ABC\bar{D} + ABCD$$

Después de simplificar al máximo la función, resulta:

$$CNVBCD = A(B + C)$$

La Figura 8.1 muestra el circuito lógico que hay que tener en cuenta para realizar la suma con la corrección.

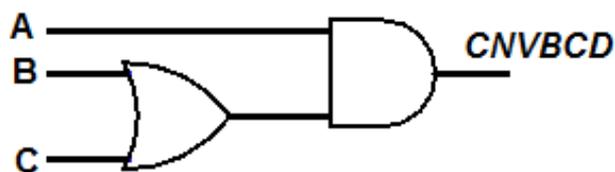


Figura 8.1. Circuito lógico de CNVBCD

Siempre que restamos el número 6 (0110) a un número no válido en BCD (ver Tabla 8.2), aparece un “1”. Este “1” corresponde al pin 14 (C_4) del circuito integrado 7483. Este “1” siempre debe aparecer en el segundo integrado 7483 y a la vez nos indica que debemos sumar el seis al segundo sumador. Esto es, debemos pasar la salida de la Figura 8.1 por una puerta OR como se indicará en el montaje del circuito de la Figura 8.2. Para ampliar la información del sumador completo, consulte Floyd (2015, pp.314-320), Usategui (2007, pp.97-101) y Tokheim (2008, pp.327-329).

TAREAS PRELIMINARES

Para comprobar su aprendizaje responda el siguiente test:

1. Explique el código BCD y dé algunos ejemplos.
2. ¿En qué consisten los números no válidos en BCD?
3. ¿Cómo se corrigen los errores que se presentan al realizar sumas en BCD?
4. Investigue el circuito que detecta los números no válidos en BCD y simúlelo en Proteus.
5. Considere dos números decimales de 4 bits cada uno, realice su suma en BCD.

OBJETIVOS DE LA PRÁCTICA

- » Realizar sumas en BCD.
- » Realizar diferencias en BCD.
- » Realizar e interpretar montajes reales de circuitos lógicos en el protoboard.
- » Manejar simulaciones de circuitos lógicos en logisim.

DESARROLLO DE LA PRÁCTICA

Materiales de la práctica

- » Dos circuitos sumadores 7483.
- » Un circuito integrado AND (7408).
- » Un circuito integrado OR (7432).
- » Un protoboard (Model PB-102).
- » Puentes flexibles para protoboard, con puntas rígidas.
- » Un pelacables universal.
- » Un interruptor DIP de cuatro vías.

- » Cinco diodos LEDs.
- » Un juego de resistores de 10 K Ω .
- » Un juego de resistores de 330 Ω .
- » Fuente de alimentación de 5VDC.

Precaución y recomendaciones

En este experimento tenga en cuenta los dos tipos de errores que se presentan al realizar una suma en BCD. Estos ocurren cuando al realizar la suma se presenta como resultado un número no válido en BCD y se deben corregir en cualquier momento que se presenten, ya sea en la fase inicial de la suma o en cualquier fase de ella; mientras que el otro tipo de error se encuentra al presentarse un carry en la primera fase de la suma y tenga cuidado de omitirlos si se presenta en otras fases. Además, este error se corrige sumándole el número 6 decimal o 0110, en su equivalente binario, al código BCD que lo generó.

Con un multímetro mida los niveles de voltaje de la fuente DC que utilizará para energizar los elementos que conforman el circuito.

Tenga cuidado al energizar los circuitos integrados, ya que estos son muy delicados. Si le colocamos un voltaje que está por encima del establecido en el data chip, se puede dañar el integrado.

Tenga en cuenta que, al usar el multímetro digital para medir las resistencias, el voltaje y la corriente, este debe colocarse en las escalas de más alto valor e irse reduciendo hasta los valores adecuados.

Utilice los materiales adecuados al momento de realizar los montajes, con el fin de evitar pérdidas de tiempo y obtener un buen resultado del circuito.

Tenga cuidado al conectar los diodos LED con su polaridad adecuada. Recuerde que el ánodo del diodo LED se conecta al positivo, mientras que el cátodo del diodo LED va a tierra del circuito.

Montajes de la práctica

Realice el montaje del circuito de la Figura 8.2 en el protoboard

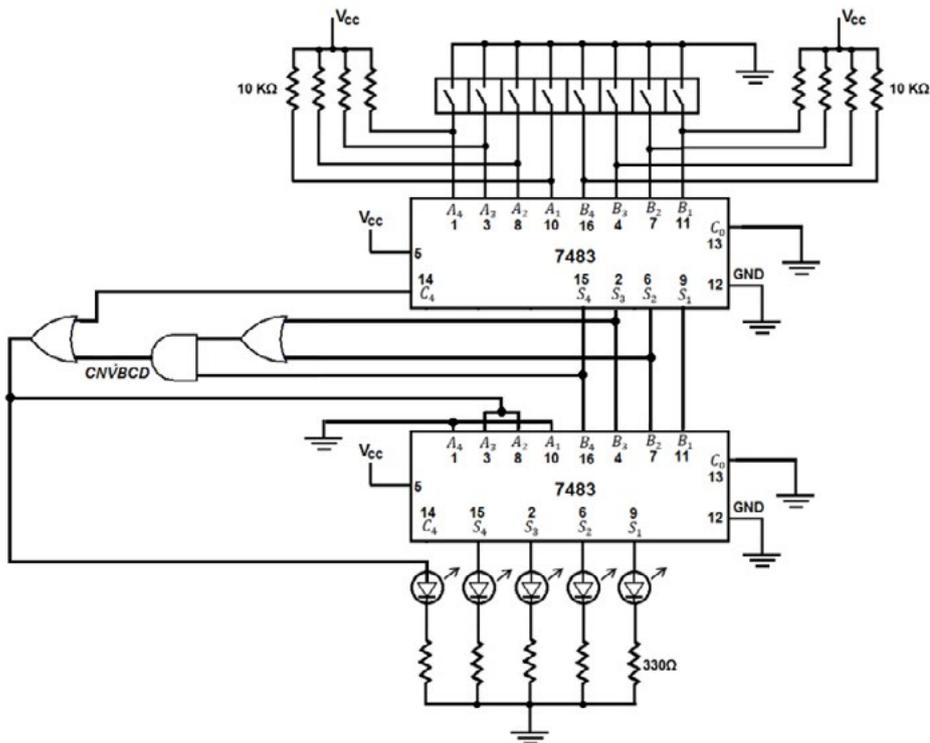


Figura 8.2. Circuito sumador en BCD

Procedimiento

1. Simule el circuito de la Figura 8.2 en Multisim o Proteus, y compruebe su funcionamiento.
2. Dibuje el circuito del punto 1 haciéndole la modificación de agregarle a la salida dos displays de siete segmentos de ánodo común en vez de los diodos LED.
3. Simula el circuito obtenido en el punto 2 en multisim o Proteus.
4. Realice el montaje del circuito de la Figura 8,2 en el protoboard.
5. Realice el montaje del circuito obtenido en el punto 2 en la protoboard.
6. Diseñe un circuito que reste dos números decimales (de 0 a 15) de manera que el minuendo sea mayor que el sustraendo.
7. Simule en Proteus el circuito del punto 7.
8. Realice el montaje del punto 7 en la protoboard.

Preguntas sobre la práctica

1. ¿Qué importancia tienen los circuitos sumadores en la electrónica digital?
2. Describa el funcionamiento del circuito sumador de la Figura 8.2.
3. Verifique el circuito del punto 1 del apartado 8.7.4 con las siguientes sumas dadas en decimal.

- a.** $9 + 8, 11 + 10, 14 + 15$
4. Verifique el circuito del punto 3 del apartado 8.7.4 con las siguientes sumas dadas en decimal.
 - a.** $9 + 8, 11 + 10, 14 + 15$
5. Verifique el circuito del punto 5 del apartado 8.7.4 con las siguientes sumas dadas en decimal.
 - a.** $9 + 8, 11 + 10, 14 + 15$
6. Verifique el circuito de los puntos 7 y 8 del apartado 8.7.4 con las siguientes restas dadas en decimal
 - a.** $9 - 3, 12 - 4, 15 - 3, 11 - 2$ y $14 - 7$
7. ¿Qué puede concluir del experimento?

ACTIVIDADES ADICIONALES

Investigue de qué manera podría simular el circuito de la Figura 8.2 utilizando Proteus y el Arduino contenido en Proteus.

Diseñe y simule el circuito de la Figura 8.2, pero en vez de utilizar las compuertas AND y OR, utilice un comparador.

¿Qué modificaciones o alternativas serán convenientes realizarle al circuito de la Figura 8.2 para ampliar las sumas en BCD?

Simplificación de funciones lógicas por el método de Karnaugh

INTRODUCCIÓN

En esta sección se experimentará con otro método de simplificación de funciones lógicas diferentes al álgebra Booleana, llamado mapas de Karnaugh y que fueron desarrollados en el año 1954 por el físico matemático, Maurice Karnaugh. Los mapas son muy utilizados por su sencillez, rapidez y versatilidad en la simplificación de funciones lógicas, obtenidas a partir de una tabla de verdad en los circuitos combinacionales y secuenciales de la electrónica digital. El experimento comprende los mapas de Karnaugh, desarrollados por minitérminos, para tres, cuatro y cinco variables. De igual forma, incluye las condiciones no importa o estados indiferentes que se presentan con mucha frecuencia en el desarrollo de circuitos reales de la electrónica digital.

COMPETENCIA EVALUADA

Aplica las técnicas de los mapas de Karnaugh, para implementar circuitos combinacionales y secuenciales en los proyectos reales de la vida cotidiana de la electrónica digital.

INDICADORES DE LOGROS

- » Explica los mapas de Karnaugh de tres y cuatro variables lógicas, utilizados en la simplificación de funciones lógicas.
- » Construye mapas de Karnaugh de tres y cuatro variables lógicas, utilizando la tabla de verdad de un problema real de la electrónica digital.

- » Explica los mapas de Karnaugh de cinco variables lógicas, utilizados en la simplificación de funciones lógicas.
- » Construye mapas de Karnaugh de cinco variables lógicas, utilizando la tabla de verdad de un problema real de la electrónica digital.
- » Simplifica funciones lógicas utilizando el aplicativo de “solución para mapas Karnaugh” de la Play Store.
- » Comprende los estados indiferentes que surgen de la solución de problemas reales de electrónica digital y los aplica en la simplificación de funciones a través de los mapas de Karnaugh.
- » Simula funciones lógicas que han sido simplificadas con los mapas de Karnaugh utilizando logisim.
- » Realiza montajes en la protoboard de problemas reales cuyas funciones lógicas han sido obtenidas mediante los mapas de karnaugh.

CONTENIDO TEMÁTICO

Mapas de Karnaugh

Los mapas de Karnaugh fueron desarrollados por Maurice Karnaugh, un físico matemático, en el año 1954 y consisten en una representación gráfica de una función lógica con el fin de simplificarla. La simplificación utiliza la tabla de verdad de la función lógica. El número de cuadrículas o celdas del mapa dependerá del número de variables que conforman la función lógica. Es decir, para una función lógica de variables, tendremos celdas. Hay que tener en cuenta que estos mapas funcionan de manera sencilla con hasta 5 variables.

Mapas de Karnaugh para una función lógica de tres variables

Tabla 9.1. Tabla de verdad para la función lógica de variables A, B y C

ORDEN	m_i	VARIABLES DE ENTRADA			MIN-TÉRMINOS
		A	B	C	
0	m_0	0	0	0	$\bar{A}\bar{B}\bar{C}$
1	m_1	0	0	1	$\bar{A}\bar{B}C$
2	m_2	0	1	0	$\bar{A}B\bar{C}$
3	m_3	0	1	1	$\bar{A}BC$
4	m_4	1	0	0	$A\bar{B}\bar{C}$
5	m_5	1	0	1	$A\bar{B}C$
6	m_6	1	1	0	$AB\bar{C}$
7	m_7	1	1	1	ABC

En la Tabla 9.1 se muestran las tres variables A, B y C y en su última columna los min-términos. El Mapa 9.1 muestra el mapa de Karnaugh para la función lógica.

	<i>BC</i>	$\overline{B}\overline{C}$	$\overline{B}C$	$B\overline{C}$	BC
<i>A</i>	\overline{A}	m_0	m_1	m_3	m_2
<i>A</i>	A	m_4	m_5	m_7	m_6

Mapa 9.1. Mapa de Karnaugh para la función de tres variables

Del Mapa 9.1 podemos notar que, solo cuando se da un cambio de un bit entre casillas, decimos que existen adyacencias entre ellas. Por ejemplo, si analizamos la fila \overline{A} , notamos que las casillas m_0 y m_1 son adyacentes, ya que la variable C cambió una vez; mientras las casillas m_0 y m_3 no son adyacentes, ya que tanto B como C cambiaron. De igual manera, las casillas m_0 y m_2 son adyacentes, ya que solo cambió una vez la variable B. Todas las celdas de cada columna para el mapa de Karnaugh del Mapa 9.1 son adyacentes, debido a que la variable A cambia solo una vez.

Si nosotros sumamos cualquier par de casillas adyacentes, notaremos que hay una reducción de variables. Esto es:

$$m_0 + m_2 = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} = \overline{A}\overline{C}(\overline{B} + B) = \overline{A}\overline{C}(1) = \overline{A}\overline{C}$$

$$\overline{A}\overline{B}C + \overline{A}B\overline{C} = \overline{A}\overline{C}$$

Método para simplificar una función Booleana por Karnaugh

El método consiste en hacer agrupaciones de 2, 4, 8, 16 y 32 celdas adyacentes en cuya salida la función tenga valor de verdad un "1" lógico (SOP) o tengan "0" lógico (POS).

Ejemplo por min-términos (SOP) para una función de 4 variables

La Tabla 9.2 muestra las entradas y salidas de cierta función lógica de un problema dado.

Tabla 9.2. Tabla de verdad de un circuito X de cuatro entradas y una salida

	ENTRADAS				SALIDA
	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>Y</i>
m_0	0	0	0	0	1
m_1	0	0	0	1	1
m_2	0	0	1	0	1
m_3	0	0	1	1	1
m_4	0	1	0	0	0
m_5	0	1	0	1	1
m_6	0	1	1	0	1
m_7	0	1	1	1	0

	ENTRADAS				SALIDA
	A	B	C	D	Y
m_8	1	0	0	0	0
m_9	1	0	0	1	1
m_{10}	1	0	1	0	1
m_{11}	1	0	1	1	0
m_{12}	1	1	0	0	0
m_{13}	1	1	0	1	1
m_{14}	1	1	1	0	1
m_{15}	1	1	1	1	0

Como la función Y tiene 4 variables de entrada, el mapa de Karnaugh tendrá 16 celdas como se muestra en el Mapa 9.2.

		CD			
		$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
AB	$\bar{A}\bar{B}$	0	1	3	2
	$\bar{A}B$	4	5	7	6
	AB	12	13	15	14
	$A\bar{B}$	8	9	11	10

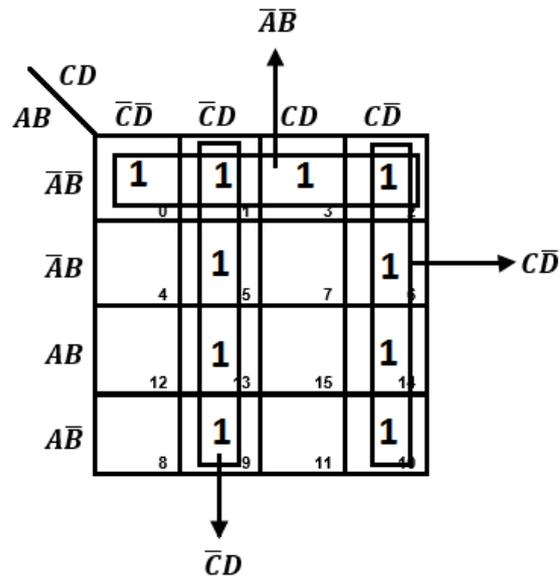
Mapa 9.2. Mapa de Karnaugh de la función Y de la Tabla 9.2

Ahora rellenamos con “1” lógico las celdas del mapa de Karnaugh correspondientes a la salida cuyo valor de verdad sea “1”. Esto se muestra en el Mapa 9.3.

		CD			
		$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
AB	$\bar{A}\bar{B}$	1	1	1	1
	$\bar{A}B$		1		1
	AB		1		1
	$A\bar{B}$		1		1

Mapa 9.3. Mapa de Karnaugh con la ubicación de los “1” según el mapa 9.2

Entre mayor número de "1" se agrupen siguiendo el orden de y la adyacencia entre celda, tendremos mayor simplificación de la función de salida. Las agrupaciones se muestran en el Mapa 9.4.



Mapa 9.4. Agrupación de "1" de la función de salida Y

La función finalmente será:

$$Y = \overline{A}\overline{B} + \overline{C}D + C\overline{D} = \overline{A}\overline{B} + C \oplus D$$

Para ampliar la información, consultar a Ndjountche (Digital Electronics: Combinational Logic Circuits, 2016, pp.65-73) en Zubía (2003)

Ejemplo por min-términos (SOP) para una función de 5 variables

Consideremos la siguiente función dada por:

$$Y = f(A,B,C,D,E) = \sum m(0,1,2,3,4,6,7,11,15,16,17,18,20,21,22,24,25,26,29)$$

Para simplificar la función, se construyen dos mapas de Karnaugh de cuatro variables, separados por una línea vertical, tal como se muestra en el Mapa 9.5.

		<i>CDE</i>							
		000	001	011	010	110	111	101	100
<i>AB</i>	00	1 ₀	1 ₁	1 ₃	1 ₂	1 ₁₆	1 ₁₇		1 ₁₈
	01	1 ₄		1 ₇	1 ₆	1 ₂₀	1 ₂₁		1 ₂₂
11			1 ₁₅			1 ₂₈			
10			1 ₁₁		1 ₂₄	1 ₂₅			1 ₂₆

Mapa 9.5. Mapa de karnaugh de cinco variables

Al doblar el mapa encima del otro por la línea vertical más oscura, se agrupan en bucles aquellos unos que se superponen.

Agrupamos la columna 011 de la izquierda con la 111 de la derecha, ya que ellas al doblar el mapa por la línea vertical quedan superpuestas. De esto resulta DE .

Agrupamos los cuatro unos de las celdas (2, 3, 6, 7) con los unos de las celdas (16, 17, 20, 21), ya que se superponen y nos resulta el término \overline{AD} .

Agrupamos los unos de las casillas (0,4) con los unos (16,20) y los unos (2,6) con (18,22) y obtenemos el término \overline{AE} .

Agrupamos los unos de las casillas (16, 18, 24 y 26) y tendremos el término $\overline{BC}\overline{E}$.

Nos queda el uno de la casilla (1) que, para una mayor simplificación, lo agrupamos con las casillas (0, 2, 3) y nos da $\overline{A}\overline{B}\overline{C}$.

La función simplificada será:

$$Y = DE + \overline{AD} + \overline{AE} + \overline{BC}\overline{E} + \overline{A}\overline{B}\overline{C}$$

Para mayor información, consultar: (Tokheim, 2008, p.98).

Condiciones no importa o indiferentes

Las condiciones “no importa” o estados indiferentes son condiciones que surgen en los análisis e interpretación de problemas o también, en las tablas de verdad de las funciones lógicas. Estas condiciones nunca se presentan por lo que son independientes de su valor de verdad. Esto es, no dependen de que sea “1” o un “0” lógico. Esta condición de “no importa” se representa con una “X” en el mapa de Karnaugh. El valor asignado de “X” dependerá de cuál de ellos resulte de una mejor simplificación en el mapa de Karnaugh. Para mayor información, consultar: (Acha, 2006, pp.130-132).

A manera de ejemplo de un estado no importa, considere un circuito lógico que detecte los números primos comprendidos entre 1 y 9 inclusive.

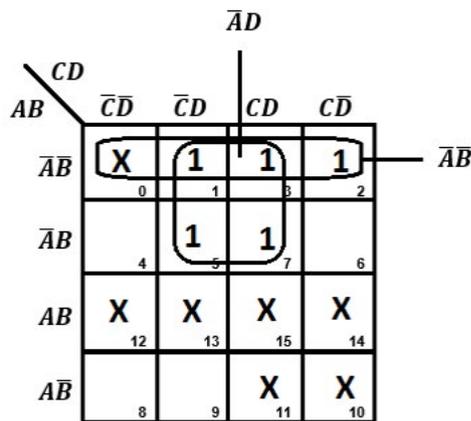
Para solucionar este problema, el número 9 necesita 4 dígitos para ser representado en el sistema binario ($9_{10} = 1001_2$). Cada dígito lo representaremos por las variables A, B, C y D; siendo la de menor peso la "D" y la de mayor peso "A".

La Tabla 9.3 muestra la tabla de verdad del problema

Tabla 9.3. Tabla de verdad del problema

	NÚMERO DECIMAL	ENTRADAS				SALIDA
		A	B	C	D	Y
m_0	0	0	0	0	0	X
m_1	1	0	0	0	1	1
m_2	2	0	0	1	0	1
m_3	3	0	0	1	1	1
m_4	4	0	1	0	0	0
m_5	5	0	1	0	1	1
m_6	6	0	1	1	0	0
m_7	7	0	1	1	1	1
m_8	8	1	0	0	0	0
m_9	9	1	0	0	1	0
m_{10}	10	1	0	1	0	X
m_{11}	11	1	0	1	1	X
m_{12}	12	1	1	0	0	X
m_{13}	13	1	1	0	1	X
m_{14}	14	1	1	1	0	X
m_{15}	15	1	1	1	1	X

De la Tabla 9.3 podemos ver que los números 0, 10, 11, 12, 13, 14 y 15 no están comprendidos entre 1 y 9; por lo tanto, estos casos nunca se presentan, denominándose así estados indiferentes o estados no importa y su salida la denotamos con una X en el Mapa 9.6, que corresponde al mapa de Karnaugh del ejemplo.



Mapa 9.6. Mapa de Karnaugh

La función de salida de nuestro problema es:

$$Y = \bar{A}\bar{B} + \bar{A}D = \bar{A}(\bar{B} + D)$$

TAREAS PRELIMINARES

Para comprobar su aprendizaje responda el siguiente test:

1. Explique el código Gray o código reflejado y responda ¿qué papel juega en la electrónica digital y, en especial, con los mapas de Karnaugh?
2. Explique el funcionamiento de un Relay y mencione la importancia del dispositivo en la electrónica.
3. ¿En qué consisten los mapas de Karnaugh? Dé ejemplos con tres, cuatro y dé cinco variables.
4. Diga cuándo se presentan los estados indiferentes y mencione tres ejemplos.
5. ¿Qué diferencia se presenta en aplicar los mapas de Karnaugh para minitérminos y maxitérminos? Da ejemplos concretos.

OBJETIVOS DE LA PRÁCTICA

- » Comprender el método de Karnaugh en la simplificación de funciones lógicas por SOP y POS.
- » Obtener la expresión mínima de una función lógica por medio de la aplicación de los mapas de Karnaugh.
- » Reconocer los estados indiferentes que se pueden presentar en la solución de problemas reales de la electrónica digital.

DESARROLLO DE LA PRÁCTICA

Materiales de la práctica

- » Juego de compuertas básicas.
- » Un protoboard (Model PB-102).

- » Puentes flexibles para protoboard, con puntas rígidas.
- » Un pelacables universal.
- » Un interruptor DIP de ocho vías.
- » Juego de diodos LEDs.
- » Un juego de resistores de 10 K Ω .
- » Un juego de resistores de 330 Ω .
- » Fuente de alimentación de 5VDC.
- » Dos relays de 5VDC.

Precauciones y recomendaciones

Tener cuidado con la interpretación de los problemas reales, ya que es posible que se presenten estados indiferentes al construir la tabla de verdad. Al no tener en cuenta estos estados, se puede llegar a tener circuitos muy extensos y de un valor muy elevado.

En esta práctica es importante tener cuidado al manejar el relay, ya que está expuesto a un voltaje de corriente alterna de 120 VCA. Para ello, debe utilizar las herramientas apropiadas y ser organizado en su trabajo.

Es aconsejable que después de aplicar los mapas de Karnaugh en la simplificación de funciones, estas sean verificadas con la aplicación “solución para mapas Karnaugh” de la Play Store

Montajes de la práctica

El experimento está basado en el circuito de la Figura 9.1 y fue tomado de (Padilla, 1997, pp.39-44).

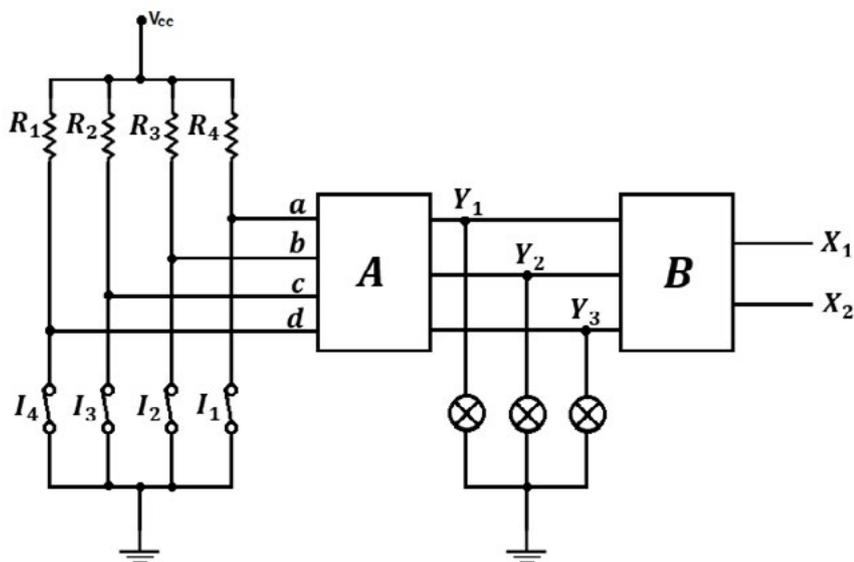


Figura 9.1. Diagrama en bloques del circuito (Padilla, 1997, p.40)

Procedimiento

Este experimento consiste en diseñar los circuitos A y B del diagrama de bloques de la Figura 9.1, a cuya entrada se han conectado cuatro interruptores, de manera que, cuando están cerrados las variables a , b , c y d toman el valor de cero y, cuando están abiertos adquieren el valor de uno. Las salidas Y_1 , Y_2 y Y_3 del bloque A se relacionan con las entradas de la siguiente manera:

Y_1 adquiere valor 1, cuando dos interruptores no continuos están cerrados.

Y_2 adquiere valor 1, cuando hay dos o más interruptores abiertos.

Y_3 toma valor 1, cuando algunos de los interruptores extremos están abiertos.

La salida X_1 y X_2 del bloque B, deben indicar en forma binaria el número de pilotos que se encienden para cada combinación.

De acuerdo con lo anterior:

1. Construya la tabla de la verdad del problema.
2. Simplifique las salidas Y_1 , Y_2 y Y_3 del bloque A, utilizando los mapas de Karnaugh por minitérminos.
3. Simplifique las salidas Y_1 , Y_2 y Y_3 del bloque A, utilizando los mapas de Karnaugh por maxitérminos.
4. Verifique las salidas Y_1 , Y_2 y Y_3 del bloque A, con la aplicación “solución para mapas Karnaugh” de la Play Store.
5. Simplifique las salidas X_1 y X_2 del bloque B, utilizando los mapas de Karnaugh por minitérminos.
6. Simplifique las salidas X_1 y X_2 del bloque B, utilizando los mapas de Karnaugh por maxitérminos.
7. Verifique las salidas X_1 y X_2 del bloque B, con la aplicación “solución para mapas Karnaugh” de la Play Store.
8. Simule el circuito lógico utilizando Proteus o Multisim.
9. Diseñe y realice el circuito real del problema, de manera que utilice diodos LEDs para las salidas del bloque A y lámparas de 60 w a 115 VCA para las dos salidas del bloque B.

Preguntas sobre la práctica

Las primeras preguntas están basadas en la Figura 9.1 y el desarrollo de la práctica (9.7.4).

1. Al realizar la tabla de verdad del punto 1, se encontraron estados indiferentes. Justifique la razón.

2. ¿Qué ventajas tienen los estados indiferentes en este problema, si los hay?
3. ¿Qué opina de la aplicación de Play Stores sobre los mapas de Karnaygh?
4. ¿Cuál de los dos métodos, por minitérminos o maxitérminos, le resultó más sencillo en los numerales 2 y 6? Justifique su respuesta.
5. ¿Cuál de los dos métodos por minitérminos o maxitérminos, le resultó más sencillo en los numerales 5 y 6? Justifique su respuesta.
6. Explique detalladamente qué papel juega el relay en el punto 9 del numeral 9.7.4.
7. Sugiera qué otros dispositivos de electrónica podrían reemplazar al relay en este experimento. Justifique su respuesta.
8. ¿Qué puede concluir del experimento?

ACTIVIDADES ADICIONALES

1. Simplifique la función lógica dada a continuación utilizando los mapas de Karnaugh.

$$Y = f(A,B,C,D,E) = \sum m(0,2,4,6,9,11,13,15,17,21,25,27,29,31)$$
2. Simplifique la función lógica por minitérminos, del mapa de Karnaugh de cinco variables que se muestra en la Tabla 9.4. Además, dibuje el diagrama lógico de la función simplificada y simúlela en Proteus.

Tabla 9.4. Tabla de verdad

ENTRADAS					SALIDA
A	B	C	D	E	Y
0	0	0	0	0	0
0	0	0	0	1	0
0	0	0	1	0	0
0	0	0	1	1	0
0	0	1	0	0	1
0	0	1	0	1	0
0	0	1	1	0	0
0	0	1	1	1	0
0	1	0	0	0	0
0	1	0	0	1	0
0	1	0	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	0	1	0
0	1	1	1	0	0
0	1	1	1	1	0
1	0	0	0	0	0

1	0	0	0	1	0
1	0	0	1	0	0
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	0	1	0
1	0	1	1	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	0	1	1
1	1	0	1	0	1
1	1	0	1	1	1
1	1	1	0	0	1
1	1	1	0	1	0
1	1	1	1	0	0
1	1	1	1	1	0

3. De acuerdo con la siguiente función lógica de cinco variables:

$$Y = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot D \cdot E + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot D \cdot \bar{E} + A \cdot \bar{B} \cdot \bar{C} \cdot D \cdot \bar{E} + \bar{A} \cdot \bar{B} \cdot C \cdot \bar{D} \cdot \bar{E} + A \cdot \bar{B} \cdot \bar{C} \cdot D \cdot E + \bar{A} \cdot \bar{B} \cdot C \cdot D \cdot \bar{E} + A \cdot \bar{B} \cdot \bar{C} \cdot D \cdot E$$

- Simplifique la función si es posible utilizando los mapas de Karnaugh.
- Realice el diagrama lógico de la función simplificada solo con compuertas NAND y compuertas NOR.
- Simule la función simplificada en Proteus.
- Monte el circuito real de la función simplificada en un protoboard.

Solución de problemas reales utilizando la lógica combinacional

INTRODUCCIÓN

Este experimento es uno de los más importantes, debido a que hace referencia a la solución de problemas reales de electrónica combinacional. Aquí se utiliza todo lo visto en los experimentos anteriores. Esto es, se trabaja con los sistemas numéricos, las compuertas básicas, el álgebra booleana, compuertas universales y los mapas de Karnaugh. A su vez, es importante resaltar que los circuitos combinacionales no almacenan información (no memorizan). Es decir, las salidas del circuito solo dependen de los valores lógicos de las combinaciones de las variables de las entradas. Los circuitos de memorización se tratarán en el experimento 12.

COMPETENCIA EVALUADA

Solucionar problemas cotidianos sobre los circuitos electrónicos combinacionales, buscando información, proponiendo soluciones, planificando su ejecución y evaluando los proyectos electrónicos. Lo anterior, con el fin de poder superar dificultades que se presenten en la construcción de circuitos reales.

INDICADORES DE LOGROS

- » Interpreta las características básicas de los circuitos integrados utilizando el data chip.

- » Describe con claridad problemas sencillos que involucran los circuitos combinacionales.
- » Localiza con facilidad fallas que se presentan en montajes de los circuitos combinacionales.
- » Reconoce los elementos que conforman un circuito de la electrónica combinacional.
- » Realiza la tabla de verdad de problemas sencillos de la electrónica combinacional.
- » Diseña el plano de circuitos que resultan de la interpretación de problemas reales.
- » Simula los circuitos combinacionales que se obtienen del enunciado de un problema real.
- » Ensambla circuitos combinacionales en la protoboard.

CONTENIDO TEMÁTICO

Circuito combinacional

Es un circuito en el que su salida depende únicamente de los valores de las entradas, lo que implica que en ellos no es necesario tener presente el tiempo. Estos circuitos se implementan a partir de las puertas básicas estudiadas en el experimento 3.

La Figura 10.1 muestra el diagrama de bloques para un circuito combinacional que tiene N entradas y una salida Y , y que depende únicamente de las entradas.

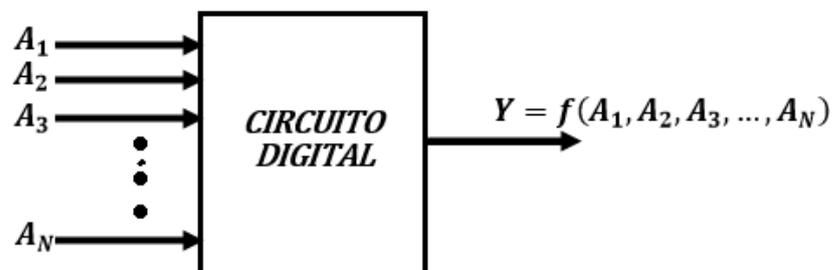


Figura 10.1. Diagrama en bloque de un circuito combinacional

Ejemplo de un circuito combinacional

Este ejemplo consiste en diseñar un circuito lógico que reciba como entrada un número binario de cuatro bits y produzca como salida un bit. El resultado, se pondrá en nivel alto si el número de entrada es múltiplo de tres y en un nivel bajo en el caso contrario.

La Figura 10.2 muestra el diagrama en bloques del circuito que se desea diseñar.



Figura 10.2. Diagrama en bloque de un circuito combinacional

Tabla de la verdad del problema

La Tabla 10.1 muestra los valores de verdad de nuestro ejemplo.

Tabla 10.1. Tabla de verdad del problema

NÚMERO DECIMAL		ENTRADAS				SALIDA
		A	B	C	D	
m_0	0	0	0	0	0	0
m_1	1	0	0	0	1	0
m_2	2	0	0	1	0	0
m_3	3	0	0	1	1	1
m_4	4	0	1	0	0	0
m_5	5	0	1	0	1	0
m_6	6	0	1	1	0	1
m_7	7	0	1	1	1	0
m_8	8	1	0	0	0	0
m_9	9	1	0	0	1	1
m_{10}	10	1	0	1	0	0
m_{11}	11	1	0	1	1	0
m_{12}	12	1	1	0	0	1
m_{13}	13	1	1	0	1	0
m_{14}	14	1	1	1	0	0
m_{15}	15	1	1	1	1	1

Función lógica por min-términos

$$Y = f(A,B,C,D) = \sum m(3,6,9,12,15)$$

Mapa de Karnaugh

El Mapa 10.1 muestra el mapa de Karnaugh

		<i>CD</i>			
		$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
<i>AB</i>	$\bar{A}\bar{B}$	0	1	3	2
	$\bar{A}B$	4	5	7	6
AB	12	13	15	14	
$A\bar{B}$	8	9	11	10	

Mapa 10.1. Mapa de Karnaugh del ejemplo

Como podemos notar, no se pueden hacer agrupaciones de unos, por lo que nuestra función lógica es:

$$Y = f(A,B,C,D) = \bar{A}\bar{B}CD + \bar{A}B\bar{C}\bar{D} + A\bar{B}\bar{C}D + ABCD + A\bar{B}C\bar{D}$$

Aplicando el álgebra Booleana, resulta:

$$Y = f(A,B,C,D) = \bar{A}C(\bar{B}\bar{D} + \bar{B}D) + AB(\bar{C}\bar{D} + CD) + A\bar{B}C\bar{D}$$

$$Y = f(A,B,C,D) = \bar{A}C(B \oplus D) + AB(\bar{C} \oplus \bar{D}) + A\bar{B}C\bar{D}$$

Diseño del circuito lógico

La Figura 10.3 muestra el circuito lógico de la función lógica obtenida por el mapa de Karnaugh.

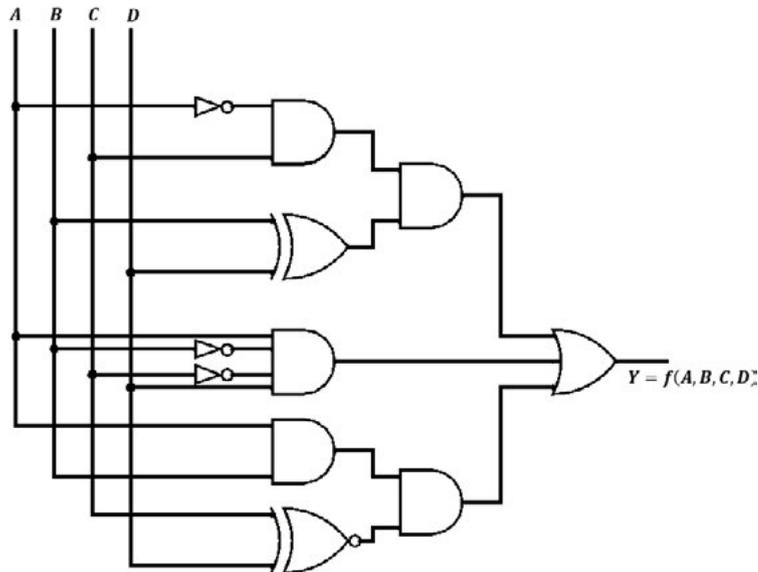


Figura 10.3. Circuito lógico de la función lógica Y

TAREAS PRELIMINARES

Para comprobar su aprendizaje responda el siguiente test:

1. Dada la siguiente función lógica $Y = (\overline{C + D}) + \overline{A}C\overline{D} + A\overline{B}C + \overline{A}\overline{B}CD + AC\overline{D}$
 - a. Realice una simplificación utilizando el álgebra Booleana.
 - b. Realice la tabla de la verdad.
 - c. Realice una simplificación utilizando los mapas de Karnaugh.
 - d. Realice el circuito lógico con compuertas básicas.
 - e. Realice el circuito lógico con solo compuertas NAND.
 - f. Realice el circuito lógico con solo compuertas NOR.
 - g. Simule los circuitos 4, 5 y 6 en Proteus.
 - h. Realice el diagrama de tiempos de la función Y.
 - i. Realice en Arduino el circuito de la función lógica Y.
 - j. Realice en Arduino la función simplificada obtenida en los puntos 1 o en 3.
 - k. Realice en Arduino las funciones obtenidas en los puntos 5 y 6.
 - l. Monte el circuito obtenido en el punto 3 en la protoboard y a la salida, en vez de un diodo LED, utilice una bombilla conectada a 120 VCA.
 - m. Construya el circuito impreso del punto 3.
2. Repita el problema 1 para las siguientes funciones lógicas:
 - a. $Y = \overline{A}BCD + A\overline{B}C\overline{D} + A\overline{B}CD + \overline{A}BC\overline{D} + A\overline{B}CD + A\overline{B}C\overline{D} + A\overline{B}C\overline{D} + A\overline{B}C\overline{D} + ABCD$
 - b. $Y = \overline{A}BC + A\overline{B}C + A\overline{B}C + ABC$
 - c. $Y = \overline{C}(\overline{A}\overline{B}\overline{D} + D) + A\overline{B}C + \overline{D}$
 - d. $Y = AB(\overline{C}\overline{D}) + \overline{A}BD + \overline{B}C\overline{D}$
 - e. $Y = (B + \overline{C})(\overline{B} + C) + (\overline{A} + B + \overline{C})$

OBJETIVOS DE LA PRÁCTICA

- » Aplicar los conceptos estudiados en la lógica combinacional, para obtener las funciones lógicas que resultan de la interpretación de enunciados de problemas reales.
- » Aplicar la lógica combinacional en el diseño y construcción de circuitos reales cotidianos.
- » Simular las funciones lógicas que resultan de problemas reales utilizando el software de logisim.

- » Construir el circuito impreso o PCB de una función lógica obtenida del enunciado de un problema combinacional, utilizando el software de fritzing.

DESARROLLO DE LA PRÁCTICA

Materiales de la práctica

- » Juego de compuertas básicas.
- » Un protoboard (Model PB-102).
- » Puentes flexibles para protoboard, de puntas rígidas.
- » Un pelacables universal.
- » Arduino uno.
- » Un interruptor DIP de ocho vías.
- » Un Juego de diodos LEDs.
- » Un juego de resistores de 10 K Ω
- » Un juego de resistores de 330 Ω .
- » Fuente de alimentación de 5VDC.
- » Bombillas o una lámpara para 120VCA
- » Un relay de 5VCC.

Precauciones y recomendaciones

Para evitar fallos en los circuitos de los problemas propuestos, es recomendable, primero, simularlos en un software apropiado, con el fin de verificar el buen comportamiento y realizarle los cambios necesarios para optimizarlo. De esta manera, cuando estamos satisfechos de nuestro análisis, procederemos a realizar el circuito, ya sea en una protoboard o en una tarjeta para circuito impreso.

Con un multímetro mida los niveles de voltaje de la fuente DC que utilizará para energizar los elementos que conforman el circuito.

Tenga cuidado al energizar los circuitos integrados ya que estos son muy delicados. Si le colocamos un voltaje que está por encima del establecido por el fabricante, se puede dañar el integrado.

Tenga en cuenta que, al usar el multímetro digital para medir las resistencias, el voltaje y la corriente, este debe colocarse en las escalas de más alto valor e irse reduciendo hasta los valores medidos con la mejor precisión.

Utilice los materiales apropiados al momento de realizar los montajes de las funciones lógicas obtenidas de la tabla de la verdad, con el fin de evitar pérdidas de tiempo y obtener un buen resultado del circuito.

Mantenga el sitio de trabajo ordenado y limpio para evitar accidentes en el momento de realizar los montajes.

Tenga cuidado al conectar los diodos LED con su polaridad adecuada. Recuerde que el ánodo del diodo LED se conecta al positivo, mientras que el cátodo del diodo LED va a tierra del circuito.

Si en un problema se le exige trabajar con relay, manipule los dispositivos con cuidado, ya que este funciona a 120VCA.

Montajes de la práctica

Los montajes que surjan de esta práctica están relacionados con la interpretación que cada estudiante le dé a los problemas resueltos.

Procedimiento

A continuación, se proponen 7 problemas reales en los cuales es aplicable lo visto sobre la electrónica combinacional y el docente tiene la libertad de colocar cualquiera de ellos. Estos problemas son:

Problema 1

Diseñe un circuito lógico que reciba como entrada dos números binarios de dos bits y produzca como salida un bit. Esta última, se pondrá en un nivel alto (“1” lógico) si los números de entrada son iguales y en nivel bajo (“0” lógico) si son diferentes. La Figura 10.4 muestra el diagrama en bloques del circuito a diseñar, A y B representan los dos números compuestos por dos dígitos (Padilla, 1997, p.51).

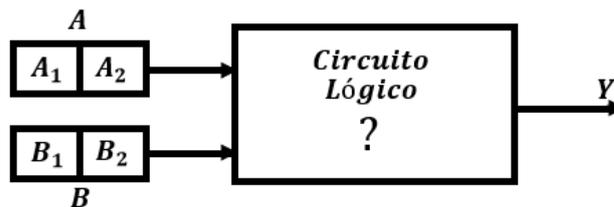


Figura 10.4. Diagrama de bloques del circuito

Problema 2

Diseñe un circuito lógico que reciba como entrada un número binario de cuatro bits y produzca como salida un bit. Esta última, se pondrá en un nivel alto (“1” lógico) si el número de entrada es un número primo y en nivel bajo (“0” lógico) en caso contrario. La Figura 10.5 muestra el diagrama en bloques del circuito a diseñar, A representa el número de cuatro dígitos.

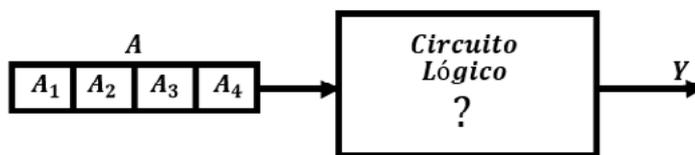


Figura 10.5. Diagrama de bloques del circuito

Problema 3

Diseñe un circuito lógico que genere una señal de alarma siempre que el consumo de potencia de una planta sea igual o superior a 15 KW, suponiendo que se tienen 3 máquinas que consumen respectivamente 6, 7 y 8 KW. La Figura 10.6 muestra el diagrama en bloques del circuito de la máquina. Denotando por A la máquina que consume 6 KW al estar “1”, B la que consume 7 KW al estar “1” y C la que consume 8 KW al estar en “1”.

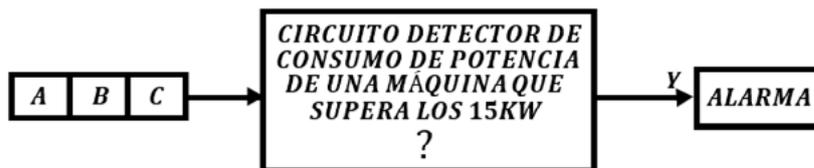


Figura 10.6. Diagrama de bloques del circuito

Problema 4

Diseñar y montar un circuito de cuatro variables cuya salida tome valor lógico uno, cuando el número de variables de la entrada de nivel lógico uno sea igual o mayor que el que esté a nivel lógico cero. Implemente el circuito con puertas NOR de dos entradas (Padilla, 1997, p.51).

Problema 5

Definir y ensayar un sistema de alarma al que se le conecten cuatro detectores (A, B, C, D). El sistema se pondrá en marcha cuando se activen 3 o 4 detectores, o cuando se active exclusivamente el detector D, que es el de la puerta principal. Cuando no se active ningún detector o se efectúe uno solo (excepto el D) la alarma no actuará. Por último, si se activan dos, el funcionamiento del sistema es indiferente, salvo que uno de ellos sea el D, en cuyo caso, el sistema se activará. Se supone que, cuando se activa un detector, la señal queda memorizada, es decir, permanece en el nivel uno, hasta que se desactive intencionalmente.

Implemente el circuito con el mínimo de puertas NOR de dos entradas (no hay que definir el sistema de memorización de las señales de los detectores) (Padilla, 1997, p.51).

Problema 6

En la Figura 10.7 se muestra el dibujo de un sistema de apertura de la puerta de un garaje. Para que la puerta se pueda abrir es necesario que, tanto a la entrada como a la salida, el coche se encuentre bien situado sobre la plataforma para que se activen los pulsadores a_1 o b_1 y; además, que el conductor introduzca una llave en el registro correspondiente (a_2 o b_2). Si un coche quiere salir y otro quiere entrar al mismo tiempo, la puerta no se abrirá y una lámpara de color naranja indicará al conductor del coche que desea entrar que se retire para que pueda salir el que está dentro. Otra lámpara del mismo color, que se ilumina al mismo tiempo que la de afuera, indicará al conductor del coche de adentro que debe esperar hasta que se retire el de afuera.

Otra lámpara de color rojo, situada al principio del túnel de salida (visible desde las plazas de aparcamiento), indicará al conductor que quiere salir del garaje, que modere su velocidad y espere porque un coche está situado en la plataforma de entrada.

El coche que quiere entrar o que quiere salir debe permanecer en reposo hasta que la puerta se haya abierto completamente. El cierre de la puerta se produce automáticamente transcurrido un cierto tiempo.

Teniendo en cuenta lo anterior, desarrolle un circuito de control para la apertura de la puerta arrastrada por el motor M y para las señales luminosas LN y LR . Monte el diagrama lógico con compuertas NOR de dos entradas y compruebe su funcionamiento. (No hay que definir el sistema automático de cierre ni los dispositivos de seguridad) (Padilla, 1997, p.51).

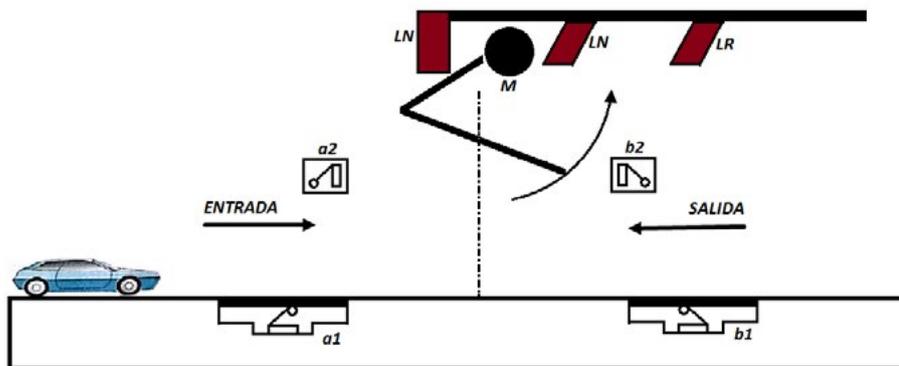


Figura 10.7. Diagrama de bloques del circuito

Problema 7

El tipo de instrucciones (A o B) que se han de impartir al comienzo de un rally dependerá de las características y propiedades de los coches. Las variables

que caracterizan a los vehículos y las condiciones de participación se pueden resumir de la siguiente manera:

Los coches extranjeros con un motor superior a 2 litros deberán correr en clase dos, junto con los coches nacionales. Si su cilindrada es menor deben correr en clase uno.

Los coches que compitan tanto en la clase uno como en la clase dos pueden estar equipados con arreglo a las normas especiales que les permite modificar el sistema de inyección.

Los coches de clase uno pueden llevar ruedas de serie o ruedas con un ancho especial. Las instrucciones de tipo A se entregarán a los coches de clase dos que estén equipados de acuerdo a las normas generales, y a los de clase uno que estén equipados según las normas generales o lleven ruedas de serie. Al resto se les entregará las instrucciones de tipo B.

Definir, utilizando el menor número posible de circuitos integrados, el diagrama lógico que, al aplicar a la entrada las condiciones de cada participante, permita activar una señal luminosa cuando haya que entregarle las instrucciones de tipo A, y no se ilumine cuando las instrucciones sean de tipo B (Padilla, 1997, p.51).

Preguntas sobre la práctica

Para los problemas seleccionados por su profesor de 10.7.4:

1. Realice la tabla de la verdad y obtenga las funciones lógicas por minitérminos o maxitérminos.
2. Simplifique las funciones lógicas obtenidas en 1, por medio del álgebra Booleana.
3. Simplifique las funciones lógicas obtenidas en 1, por medio de los mapas de Karnaugh.
4. Simule el circuito real en Proteus, Multisim o logisim de las funciones lógicas, obtenidas en los puntos 2 y 3.
5. Monte el circuito real en la protoboard. Compare su salida con la tabla de verdad del paso 1, además, cada salida exprese solo con compuertas NAND de dos entradas y simúlelas.
6. Mencione los inconvenientes presentados en cada problema.
7. ¿Qué puede concluir de este experimento? Las conclusiones que haga, deben estar relacionadas con este experimento.

ACTIVIDADES ADICIONALES

1. Para los circuitos seleccionados por su profesor, investigue el circuito con Arduino y si es posible realice el circuito real.
2. Simule los circuitos seleccionados en Proteus (utilizando el módulo de Arduino uno que trae Proteus).
3. Proponga dos problemas diferentes a los de este experimento y conteste las preguntas 1 a 6 de 10.6.

Puede consultar ejercicios resueltos en: Zubía (2003), Usategui (2007), Donate (1995), Cherta (1994), Baena (1997) y Garza (2006).

Decodificadores, Codificadores, Multiplexores y Demultiplexores

INTRODUCCIÓN

Los multiplexores o selectores de datos son dispositivos electrónicos que nos permiten enrutar información digital, provenientes de diversas fuentes, hacia una única salida con un propósito final. De manera inversa, el demultiplexor recibe información digital de una única fuente y la envía por diferentes líneas de transmisión hacia diversas fuentes de destino. El contenido temático de este experimento sigue el siguiente orden: decodificadores, codificadores, multiplexores y demultiplexores.

COMPETENCIA EVALUADA

Aplica, en distintas áreas, los fundamentos teóricos de los decodificadores, codificadores, multiplexores y demultiplexores, para el diseño y construcción de dispositivos electrónicos de interés, en distintas áreas de aplicación.

INDICADORES DE LOGROS

- » Conoce el funcionamiento de los decodificadores, codificadores, multiplexores y demultiplexores.
- » Interpreta los circuitos electrónicos con decodificadores, codificadores, multiplexores y demultiplexores.

- » Reconoce los pines de los circuitos integrados de decodificadores, codificadores, multiplexores y demultiplexores.
- » Diferencia los circuitos que contienen decodificadores, codificadores, multiplexores y demultiplexores.
- » Construye cualquier función lógica con multiplexores.
- » Diseña una función lógica de cuatro variables lógicas con únicamente multiplexores 2:1.
- » Construye circuitos de funciones lógicas de cuatro variables con un solo multiplexor 8:1 y compuertas lógicas.
- » Construye circuitos de funciones lógicas de cuatro variables con un solo multiplexor 4:1 y compuertas lógicas.
- » Utiliza el lenguaje apropiado al referirse a los decodificadores, codificadores, multiplexores y demultiplexores.

CONTENIDO TEMÁTICO

Decodificadores (Dec)

Los decodificadores son circuitos que se pueden utilizar para implementar funciones lógicas. Estos contienen n entradas de datos, decodificadas en 2^n líneas de salida. La Figura 11.1 muestra el diagrama de bloques de un decodificador, cuya función principal consiste en activar la salida correspondiente al código introducido en las entradas.



Figura 11.1. Diagrama de bloques de un decodificador

Cualquier función con n variables de entrada puede ser implementada mediante un decodificador de 2^n líneas de salida asociado a una puerta lógica OR (o NAND).

Podemos encontrar decodificadores 1×2 , 2×2^2 , 3×3^2 , 4×4^2 , ..., $n \times 2^n$

Algunas referencias de integrados decodificadores son:

- a. $2:4 \rightarrow 74139$ (*doble decodificador*)
- b. $3:8 \rightarrow 74138$ (*simple decodificador*)
- c. $3:8 \rightarrow 74238$ (*simple decodificador*)

Salidas activas en nivel alto.

- a. $4:16 \rightarrow 74154$ (*simple decodificador*)

Consideremos el decodificador 2 x 4 (74139). Este integrado contiene internamente dos decodificadores 2 x 4 con dos entradas de habilitación (strobe), una para cada decodificador. Si la entrada de habilitación es de nivel ALTO (H), el circuito estará deshabilitado y si es de nivel BAJO (L), el circuito estará habilitado.

La Tabla 11.1 muestra la configuración para cada decodificador del integrado 74139.

Tabla 11.1. Configuración para cada decodificador del integrado 74139.

ENTRADA DE ACTIVACIÓN (STROBE)	ENTRADAS DE DATOS		LÍNEAS DE SALIDA			
EN	A	B	Y_0	Y_1	Y_2	Y_3
H	X	X	H	H	H	H
L	L	L	H	0	0	0
L	L	H	0	H	0	0
L	H	L	0	0	H	0
L	H	H	0	0	0	H

La Figura 11.2 muestra el circuito lógico del decodificador 2 x 4.

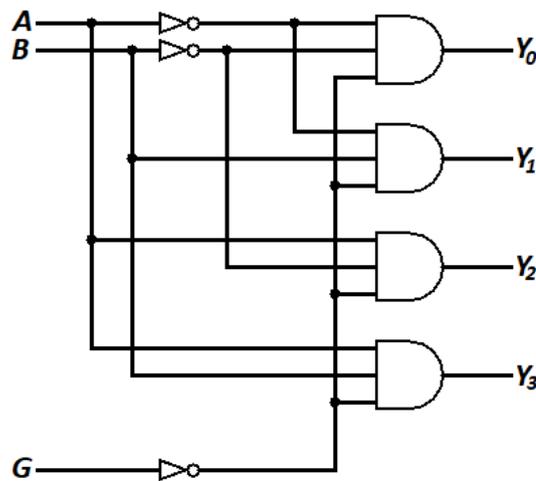


Figura 11.2. Circuito lógico del decodificador 2x4

A manera de ejemplo, considere las funciones lógicas obtenidas de un problema X. Estas funciones son:

$$F_1(A,B,C) = \sum m(2,4,7) \text{ y } F_2(A,B,C) = \sum m(1,3,4,7)$$

Observe que las funciones lógicas son de tres variables de entrada, por lo que tendrá que utilizar el decodificador 3x8 y una compuerta OR. La Figura 11.3 muestra el circuito lógico. Este método que utiliza un decodificador y

las puertas lógicas OR es muy útil, debido a que permite implementar varias funciones lógicas simultáneamente.

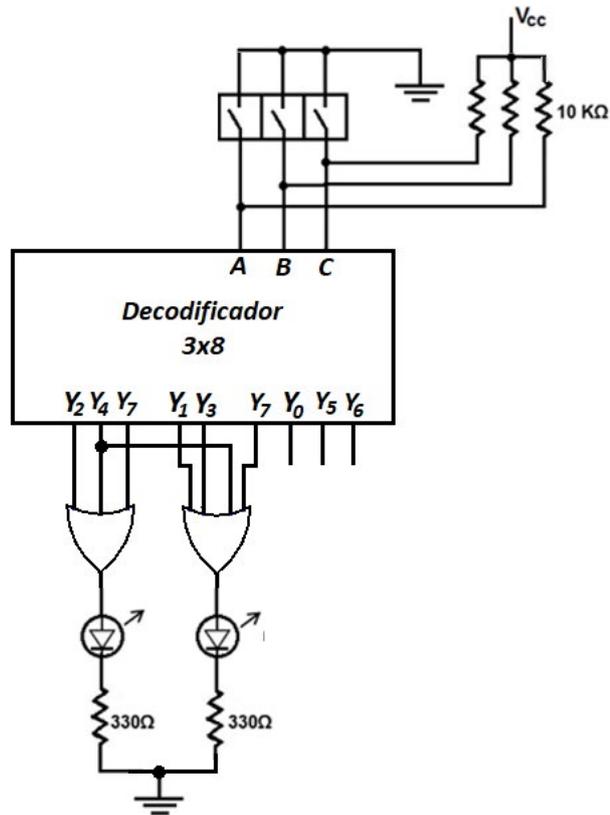


Figura 11.3. Implementación de F₁ y F₂ con el decodificador 3x8

En el Experimento 1 se mencionaron dos decodificadores que juegan un papel importante en la electrónica digital, el 74LS47 (ánodo común) y 74LS48 (cátodo común). Estos circuitos permiten manejar un display de siete segmentos y tienen 4 entradas de datos que pueden ser en binario o en código BCD. La Figura 11.4 muestra el circuito integrado 74LS47.

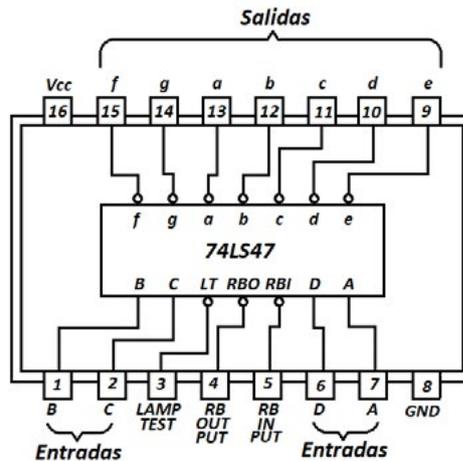


Figura 11.4. Decodificador BCD a 7 segmentos

Para más información sobre los circuitos integrados de los decodificadores, visite el sitio web www.datasheetcatalog.net/es/ y para ir directamente al integrado 74LS47, haga la búsqueda en: <http://search.datasheetcatalog.net/key/74LS47>.

Puede ampliar esta información en el libro de electrónica digital y microprogramable en Usategui (2007, pp.72-74).

A manera de ejemplo, del uso de estos decodificadores, se implementará un circuito que permita visualizar a la salida del circuito integrado 74LS47 los dígitos del sistema hexadecimal, utilizando un display de siete segmentos.

Como tenemos 4 entradas de datos (A, B, C, D), podremos generar en decimal hasta el número 15, que corresponde en binario "1111".

La Tabla 11.2 muestra la codificación y la visualización en el display de 7 segmentos.

Tabla 11.2. Tabla de verdad de la codificación

ENTRADAS					SALIDAS
DECIMAL	BINARIO				HEXADECIMAL
Número	A	B	C	D	Número
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	A
11	1	0	1	1	B
12	1	1	0	0	C
13	1	1	0	1	D
14	1	1	1	0	E
15	1	1	1	1	F

El display de siete segmentos de ánodo común tiene como referencia SA56-11GWA y el de cátodo común SC56-11GWA. La Figura 11.5 muestra el circuito lógico del ejemplo.

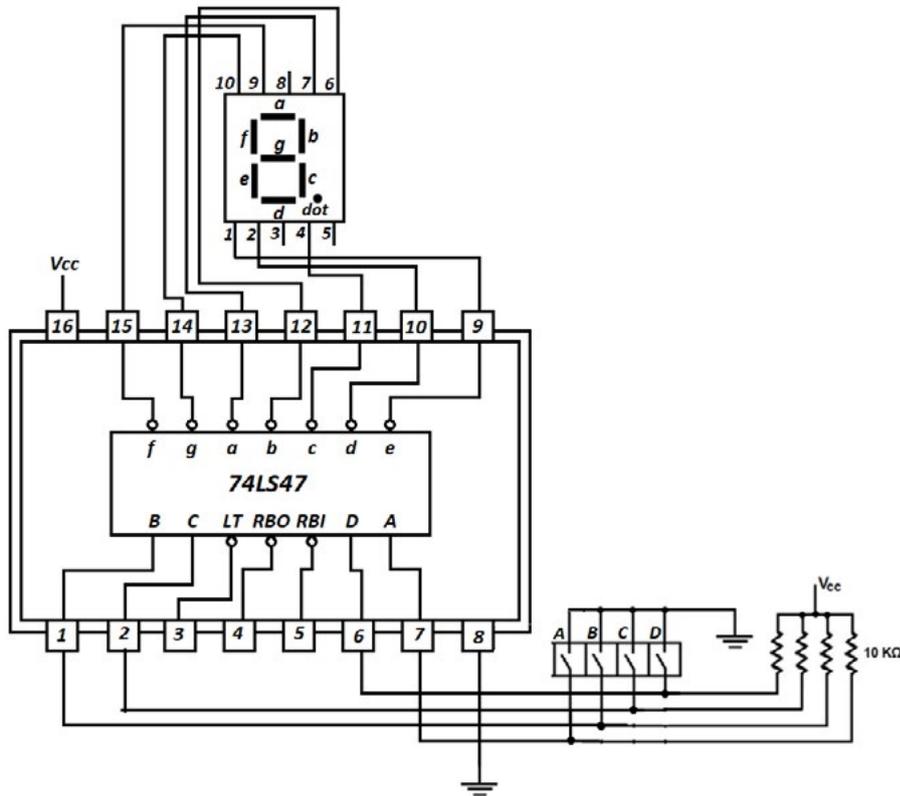


Figura 11.5. Circuito del visualizador de los dígitos del sistema hexadecimal

Codificadores (Cod)

Son circuitos combinatoriales que, por lo general, tienen más variables de entrada que variables de salidas. Si el circuito tiene m entradas y n salidas, este recibe el nombre de codificador de m a n y se denota por $m:n$. Si se trata de codificadores binarios, m y n se relacionan por medio de la expresión:

$$m = 2^n \quad 11.1$$

donde m representa las líneas de entradas de datos y n las salidas del codificador. Esto nos indica que podemos encontrar codificadores de 2:1, 4:2, 8:3, 16:4, etc.

De manera general, un codificador consiste en un circuito lógico que nos permite presentar la conversión de información de entrada activa en un código binario. La Figura 11.6 ilustra el diagrama de bloques del codificador.

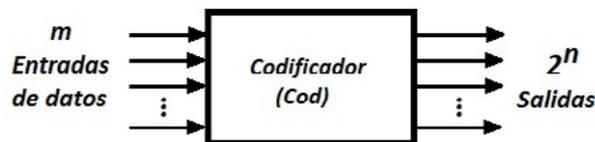


Figura 11.6. Diagrama de bloques de un codificador

Los codificadores se encuentran de dos tipos: prioritarios y no prioritarios.

Codificadores no prioritarios

Son circuitos en los que se asume que solo una de las entradas está activa al mismo tiempo. Una de las principales aplicaciones de estos codificadores en los equipos de computación, son los subsistemas de **entra-salida**. Por ejemplo, en un teclado cada entrada será una señal de activación en la cual la salida representará un número o carácter que identifica la tecla pulsada.

A manera de ejemplo consideremos el codificador 8:3 con una sola salida activa, y la Tabla 11.3 que muestra su configuración. Aquí es conveniente aclarar que tenemos 8 entradas de datos, por lo tanto, existen $2^8 = 256$ posibles combinaciones, de las cuales solo hay nueve permitidas.

Tabla 11.3. Tabla de verdad del codificador 8:3

ENTRADAS DE DATOS								SALIDAS		
E_7	E_6	E_5	E_4	E_3	E_2	E_1	E_0	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0
...	X	X	X
...	X	X	X
...	X	X	X

Para implementar el circuito aplicamos minitérminos para cada salida.

$$Y_0 = E_7 + E_5 + E_3 + E_1$$

$$Y_1 = E_7 + E_6 + E_3 + E_2$$

$$Y_2 = E_7 + E_6 + E_5 + E_4$$

La Figura 11.7 muestra el circuito lógico del codificador 8:3.

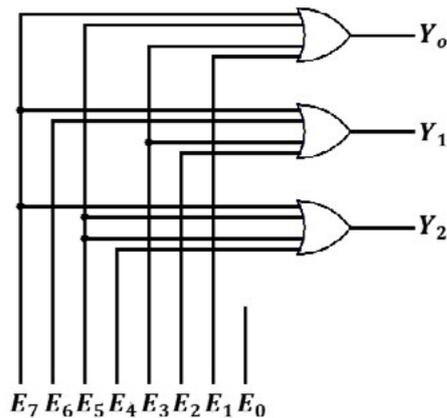


Figura 11.7. Circuito lógico de un codificador 8:3

Podemos notar que la entrada de datos E_0 , genera un código de salida que se hace imposible de distinguir del código generado cuando todas las entradas son cero (ver la fila 3 y fila 11 de la Tabla 11.3). Ambas filas producen una ambigüedad, ya que hay dos combinaciones de entradas distintas (0 0 0 0 0 0 0 0 y 0 0 0 0 0 0 0 1) distintas que producen la misma salida (0 0 0) y no hay manera para hacer distinción.

Para resolver este problema, se añade una nueva salida denominada group selection (GS) que se activará en el caso de que haya una entrada activa. Por esta razón surge el codificador con prioridad.

Codificadores prioritarios

Cuando en nuestro teclado considerado se activan simultáneamente más de una entrada, se genera un conflicto que se resuelve al darle prioridad a una de las entradas sobre las otras, y para ello, se le agrega al circuito una salida denominada (GS). También, en los circuitos codificadores se añade la entrada de habitación denominada enable input (E_i).

La Figura 11.8 muestra el circuito integrado 74LS148 que corresponde a un codificador prioritario comercial 8:3.

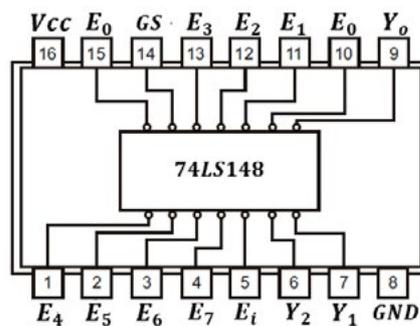


Figura 11.8. Codificador 74LS148 de prioridad 8:3

La Tabla 11.4 muestra la configuración de las entradas y salidas para el codificador de prioridad 8:3 con referencia 74LS148. Aquí H indica nivel alto, L indica nivel bajo y X es indiferente. Además, las salidas y las entradas están activas en nivel bajo.

Tabla 11.4. Tabla de verdad del codificador 74LS148 con prioridad

ENTRADAS									SALIDAS				
E_i	E_7	E_6	E_5	E_4	E_3	E_2	E_1	E_0	Y_2	Y_1	Y_0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	L	X	X	X	X	X	X	X	L	L	L	L	H
L	H	L	X	X	X	X	X	X	L	L	H	L	H
L	H	H	L	X	X	X	X	X	L	H	L	L	H
L	H	H	H	L	X	X	X	X	L	H	H	L	H
L	H	H	H	H	L	X	X	X	H	L	L	L	H
L	H	H	H	H	H	L	X	X	H	L	H	L	H
L	H	H	H	H	H	H	L	X	H	H	L	L	H
L	H	H	H	H	H	H	H	L	H	H	H	L	H

Puede ampliar esta información en el libro de electrónica digital y microprogramable (Usategui, 2007, pp.74-75).

Multiplexores (MUX)

Consisten en circuitos lógicos combinacionales que tienen N datos de entradas, m entradas de control y una sola salida. La función de las entradas de control consiste en seleccionar una de las entradas de datos para enviarla hacia su única salida. La relación entre N y m es:

$$2^m = N, \quad m \leq 2^N \tag{11.2}$$

Los fabricantes que ofrecen los circuitos integrados de multiplexores, les adicionan una entrada de activación (STROBE) que hace las veces de un interruptor ON/OFF. Lo anterior, generalmente activa al multiplexor en nivel bajo (L) y lo desactiva en nivel alto (H).

La Figura 11.9 muestra la forma como funciona un multiplexor y la Figura 11.10 ilustra el símbolo del multiplexor.

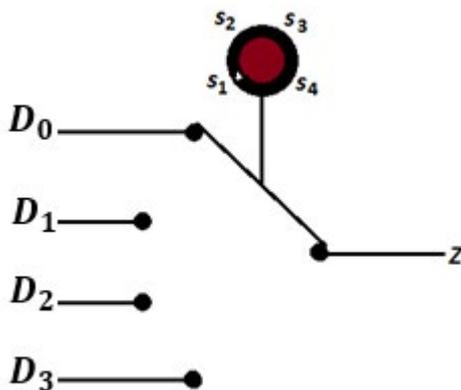


Figura 11.9. Diagrama equivalente de un multiplexor

Entradas

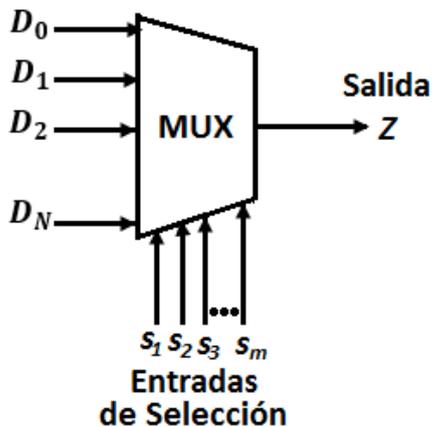


Figura 11.10. Símbolo del Multiplexor

Multiplexor digital de 4 entradas

La Figura 11.11 muestra el multiplexor 4 a 1

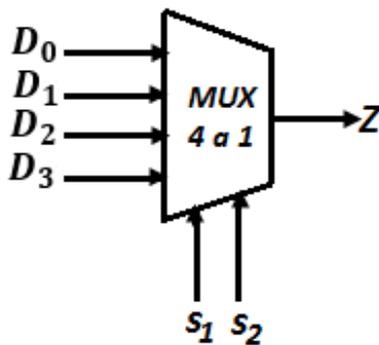


Figura 11.11. Multiplexor 4 a 1

A continuación, se muestra la Tabla 11.5 para el multiplexor 4 a 1.

Tabla 11.5. Tabla de la verdad para el multiplexor 4 a 1

ENTRADA DE ACTIVACIÓN (STROBE)	ENTRADAS DE CONTROL		SALIDA
EN	S_2	S_1	Z
H	X	X	L
L	L	L	D_0
L	L	H	D_1
L	H	L	D_2
L	H	H	D_3

Aplicando la simplificación por minitérminos, se obtiene la función Boelana para la salida, dada por:

$$Z = \overline{EN}(D_0\overline{S_1}\overline{S_2} + D_1S_1\overline{S_2} + D_2\overline{S_1}S_2 + D_3S_1S_2) \quad 11.3$$

El circuito lógico de la función lógica 11.3 se muestra en la Figura 11.12.

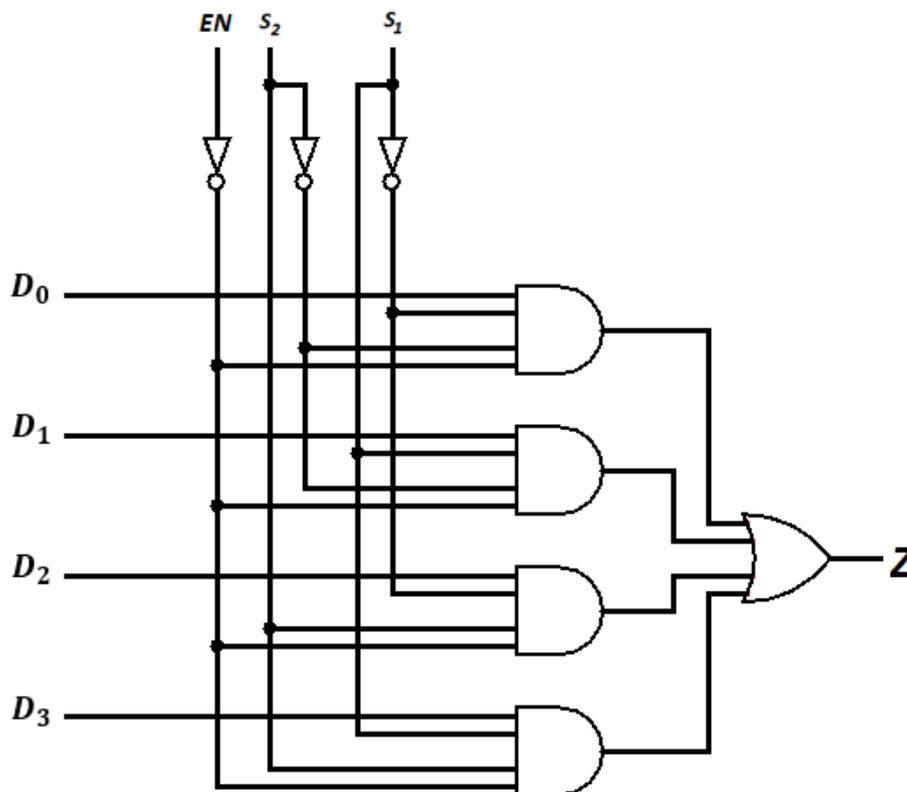


Figura 11.12. Diagrama lógico del multiplexor 4 a 1

A manera de ejemplo consideremos el mapa de Karnaugh de 4 variables lógicas que se muestra en el Mapa 11.1. Se desea implementar la función lógica de salida utilizando un multiplexor de 16 a 1, 8 a 1, 4 a 1 y de 2 a 1.

		<i>CD</i>			
		$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
<i>AB</i>	$\bar{A}\bar{B}$	1 <small>0</small>	1 <small>1</small>	1 <small>3</small>	1 <small>2</small>
	$\bar{A}B$		1 <small>5</small>		1 <small>6</small>
	AB		1 <small>13</small>		1 <small>14</small>
	$A\bar{B}$		1 <small>9</small>		1 <small>10</small>

Mapa 11.1. Mapa de Karnaugh de cuatro variables lógicas

Multiplexor 16 a 1 (74150)

Al utilizar el multiplexor 16:1, resulta muy sencillo la realización del circuito. La Tabla 11.6 corresponde al mapa de Karnaugh del Mapa 11.1.

Tabla 11.6. Tabla de verdad del Mapa de Karnaugh del mapa 11.1

<i>m</i>	A	B	C	D	F
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	1
15	1	1	1	1	0

La función lógica por SOP o minterminos está dada por:

$$F(A,B,C,D) = \sum_4 (0,1,2,3,5,6,9,10,13,14)$$

Para realizar el circuito con el MUX 8:1, únicamente observamos en la Tabla 11.6 donde la función lógica F toma el valor lógico "1" y el valor lógico "0". Los valores que corresponden al nivel "0" se conectan a tierra del circuito y los correspondientes al nivel "1" a Vcc del circuito. Tenga en cuenta que cada m_i de la Tabla

11.6, le corresponde respectivamente la entrada D_i del multiplexor 75150. Esto lo podemos apreciar en Figura 11.13.

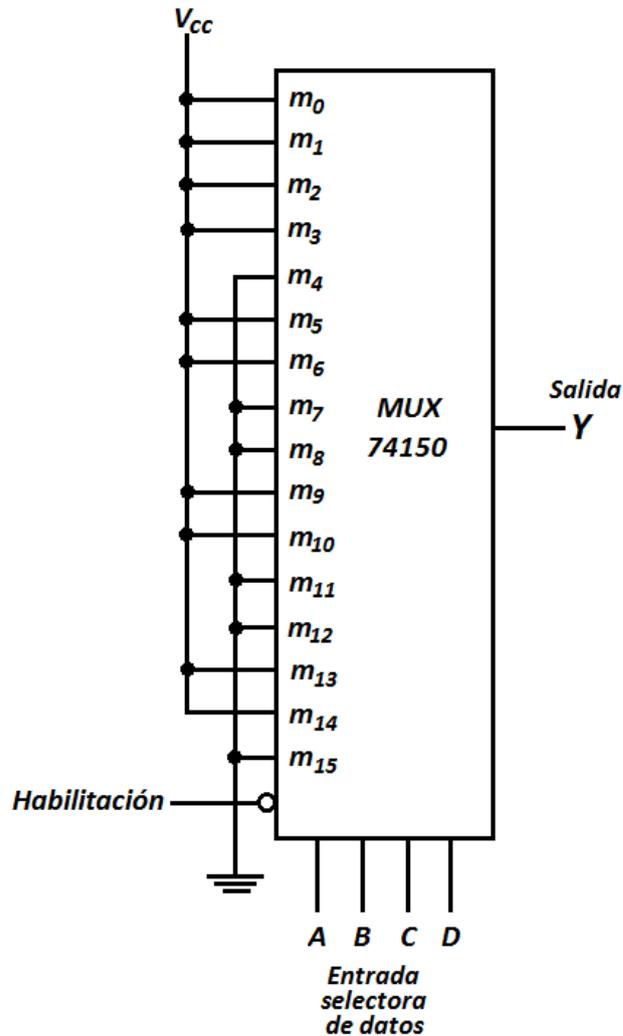


Figura 11.13. Circuito de la función lógica obtenida del mapa de Karnaugh

Multiplexor 8 a 1 (74151)

Para este caso se usa el método de DOBLAMIENTO, el cual consiste en reducir a la mitad el número de líneas de entrada de datos del multiplexor. Este método generalmente requiere de un inversor adicional y los pasos a seguir son:

1. Se expresa la función lógica de salida en su forma de términos mínimos (minitérminos). Para nuestra salida tendremos que:

$$F(A,B,C,D) = \sum_4 (0,1,2,3,5,6,9,10,13,14)$$

$$F(A,B,C,D) = m^0+m^1+m^2+m^3+m^4+m^5+m^6+m^7+m^8+m^9+m^{10}+m^{11}+m^{12}+m^{13}+m^{14}$$

2. Se asume que la secuencia ordenada de variables asociadas para los términos mínimos es A B C D, donde A es la variable de la extrema izquierda. Esto para nuestro ejemplo es:

$$F(A,B,C,D) = \sum_4 (0,1,2,3,5,6,9,10,13,14)$$

3. Se conectan las variables B, C y D a las líneas de selección del MUX, con B conectada a una línea de selección de mayor orden (S_2), C a la siguiente (S_1) y finalmente D se conecta a la línea de selección de más bajo orden (S_0).
4. Como la variable A está en la posición de más alto orden, será complementada en la primera mitad de la línea de términos mínimos ($2^3 - 1$). Por otro lado, la segunda mitad de los términos mínimos tendrán su variable A sin complementar. Es decir, la variable A complementa de m_0 a m_7 y no complementa de m_8 a m_{15} . Esto se puede ver en la Tabla 11.6.
5. Seguidamente, se listan las entradas del MUX ($D_0, D_1, D_2, D_3, D_4, D_5, D_6, D_7$) y bajo ellas, se colocan los términos mínimos en dos columnas. La primera fila incluye todos los términos mínimos en los cuales A es complementada y en la segunda fila, todos los términos mínimos con A no complementada. Estos se muestran en el Mapa 11.2.

	D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7
\bar{A}	m_0	m_1	m_2	m_3	m_4	m_5	m_6	m_7
A	m_8	m_9	m_{10}	m_{11}	m_{12}	m_{13}	m_{14}	m_{15}

Mapa 11.2. Líneas de entras del MUX 8:1

6. Posteriormente, se encierran en un círculo todos los términos mínimos de la función y se inspeccionan cada columna separadamente teniendo en cuenta lo siguiente:
 - a. Si los términos mínimos en una columna no están en un círculo, aplique el valor lógico "0" a la entrada correspondiente del multiplexor.
 - b. Si los términos mínimos están en un círculo, aplique el valor lógico "1" a la entrada correspondiente del multiplexor.
 - c. Si el término mínimo inferior está encerrado en un círculo y el superior no lo está, aplique "A" a la entrada correspondiente del multiplexor.
 - d. Si el término mínimo superior está encerrado en un círculo y el inferior no lo está, aplique " \bar{A} " a la entrada correspondiente del multiplexor.

El Mapa 11.3 muestra el doblamiento del MUX 16:1 en el MUX 8:1.

	D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7
\bar{A}	m_0	m_1	m_2	m_3	m_4	m_5	m_6	m_7
A	m_8	m_9	m_{10}	m_{11}	m_{12}	m_{13}	m_{14}	m_{15}
\bar{A}	1	1	\bar{A}	0	1	1	0	

Mapa 11.3. Doblamiento del MUX 16:1 en el MUX 8:1

La Figura 11.14 muestra el diagrama esquemático para la función de salida.

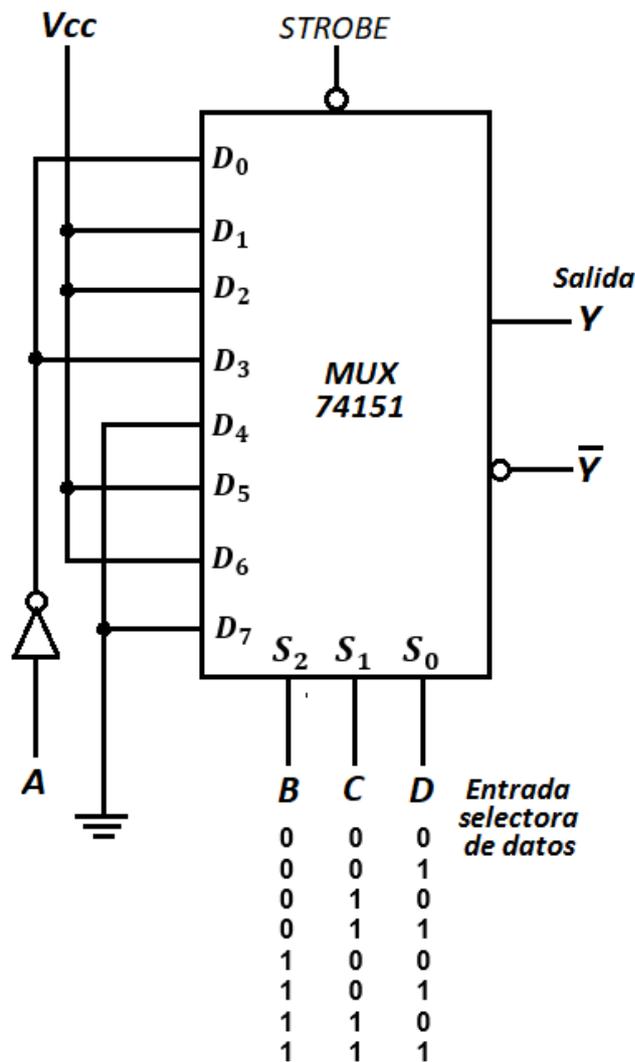


Figura 11.14. Diagrama esquemático para la función de salida $F(A, B, C, D)$

Otro método para el doblamiento del multiplexor consiste en expresar la función $F(A, B, C, D)$ en la siguiente forma:

$$F(A,B,C,D) = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD + A\overline{B}\overline{C}\overline{D} + A\overline{B}\overline{C}D + AB\overline{C}\overline{D} + ABC\overline{D}$$

$$F(A,B,C,D) = \overline{A}(\overline{B}\overline{C}\overline{D}) + \overline{A}(\overline{B}\overline{C}D) + \overline{A}(\overline{B}C\overline{D}) + \overline{A}(\overline{B}CD) + \overline{A}(B\overline{C}\overline{D}) + \overline{A}(B\overline{C}D) + A(\overline{B}\overline{C}\overline{D}) + A(\overline{B}\overline{C}D) + A(B\overline{C}\overline{D}) + A(B\overline{C}D)$$

Como se trata de un MUX 8:1, tendremos ocho entradas de datos denotadas por $D_i = m_i$, con $i = 0,1,2,3,4,5,6,7$. De los valores lógicos de las variables entre paréntesis de la expresión anterior, resulta:

$$F(A,B,C,D) = \overline{A}(m_0) + \overline{A}(m_1) + \overline{A}(m_2) + \overline{A}(m_3) + \overline{A}(m_4) + \overline{A}(m_5) + A(m_6) + A(m_7)$$

Agrupando términos semejantes,

$$F(A,B,C,D) = \overline{A}(m_0) + (\overline{A}+A)m_1 + (\overline{A}+A)m_2 + \overline{A}(m_3) + (\overline{A}+A)m_5 + (\overline{A}+A)m_6$$

Aplicando la propiedad del algebra Booleana ($\overline{A} + A = 1$), resulta:

$$F(A,B,C,D) = \overline{A}(m_0) + (1)(m_1) + (1)(m_2) + \overline{A}(m_3) + (1)(m_5) + (1)(m_6)$$

Podemos notar que no aparecen los términos m_4 y m_7 . Estos términos los podemos escribir respectivamente como $(0)(m_4)$ y $(0)(m_7)$.

$$F(A,B,C,D) = \overline{A}(m_0) + (1)(m_1) + (1)(m_2) + \overline{A}(m_3) + (0)(m_4) + (1)(m_5) + (1)(m_6) + (0)(m_7)$$

A partir de esta última expresión se genera el circuito que se muestra en la Figura 11.14. Aquí m_i nos conduce a la i -ésima entrada selectora de datos, que le corresponde, respectivamente, la entrada de datos D_i .

Multiplexor 4 a 1 (74153)

En este caso se fijan las variables A y B como entradas de selectoras de datos y usando el método de DOBLAMIENTO, para ello se hace uso del mapa 11.4. Este método generalmente requiere de un circuito combinacional a las entradas de datos del multiplexor.

Mapa 11.4. Doblamiento del MUX 16:1 en el MUX 4:1

D_i	D_0	D_1	D_2	D_3
CD	00	01	10	11
AB				
00	1	1	1	1
01		1	1	
10		1	1	
11		1	1	
	$\overline{A}\overline{B}$	1	1	$\overline{A}\overline{B}$

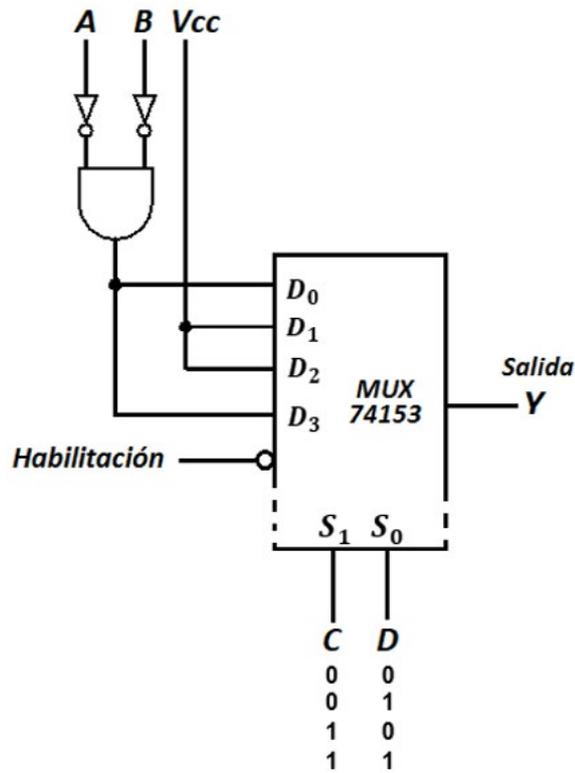


Figura 11.15. Circuito de la función lógica obtenida del mapa de Karnaugh

Multiplexor 2 a 1 (74157)

En este caso se fijan las variables A, B y C como entradas selectoras de datos y usando el método de DOBLAMIENTO, para ello se hace uso del mapa 11.5. Este método generalmente requiere de un circuito combinacional a las entradas de datos del multiplexor.

Mapa 11.5. Doblamiento del MUX 16:1 en el MUX 2:1

D_i	D_0	D_1
D	0	1
ABC		
000	1	1
001	1	1
010		1
011	1	
100		1
101	1	
110		1
111	1	

Del Mapa 11.5 se observa que la entrada de dato D y las de selección son A, B y C.

La entrada de selección D_0 (ver columna) le corresponde un nivel alto en 000, 001, 011, 101 y 111. Esto es, cuando la entrada de selección (D) toma el valor (0).

A continuación, se buscará la función lógica que le corresponde a esta entrada de datos.

$$\begin{aligned} \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + ABC &= \overline{A}(\overline{B}\overline{C} + \overline{B}C + BC) + AC(\overline{B} + B) \\ &= \overline{A}(\overline{B}\overline{C} + \overline{B}C + BC) + AC(\overline{B} + B) = \overline{A}(\overline{B}(\overline{C} + C) + BC) + AC \\ &= \overline{A}(\overline{B} + BC) + AC = \overline{A}((\overline{B} + B)(\overline{B} + C)) + AC = \overline{A}(\overline{B} + C) + AC \\ &= \overline{A}B + \overline{A}C + AC = \overline{A}B + C(\overline{A} + A) = \overline{A}B + C \\ &= \overline{A}\overline{B} + C \end{aligned}$$

La entrada de selección D_1 (ver columna) le corresponde un nivel alto en 000, 001, 010, 100 y 110. Esto es, cuando la entrada de selección (D) toma el valor (1).

A continuación, se buscará la función lógica que le corresponde a esta entrada de datos.

$$\begin{aligned} \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + ABC &= \overline{A}(\overline{B}\overline{C} + \overline{B}C + B\overline{C}) + AC(\overline{B} + B) \\ &= \overline{A}(\overline{B}\overline{C} + \overline{B}C + B\overline{C}) + AC(\overline{B} + B) = \overline{A}(\overline{B}(\overline{C} + C) + B\overline{C}) + AC \\ &= \overline{A}(\overline{B} + B\overline{C}) + AC = \overline{A}((\overline{B} + B)(\overline{B} + \overline{C})) + AC = \overline{A}(\overline{B} + \overline{C}) + AC \\ &= \overline{A}\overline{B} + \overline{A}\overline{C} + AC = \overline{A}\overline{B} + \overline{C}(\overline{A} + A) = \overline{A}\overline{B} + \overline{C} \\ &= \overline{A}\overline{B} + \overline{C} \end{aligned}$$

El circuito se muestra en la Figura 11.16.

Otro método para el doblamiento del multiplexor consiste en expresar la función $F(A, B, C, D)$ en la siguiente forma:

Teniendo en cuenta que el MUX 2:1 contiene cuatro multiplexores de 2 a 1. Fijamos la variable D como entrada de control y como entradas de datos A, B y C. Nuestra función es:

$$\begin{aligned} F(A,B,C,D) &= (\overline{A}\overline{B}\overline{C})\overline{D} + (\overline{A}\overline{B}C)D + (\overline{A}B\overline{C})\overline{D} + (\overline{A}BC)D + (A\overline{B}\overline{C})\overline{D} \\ &+ (A\overline{B}C)D + (AB\overline{C})\overline{D} + (ABC)D + (ABC)\overline{D} \end{aligned}$$

De acuerdo con la última expresión formamos la Tabla 11.9 que se muestra a continuación.

Tabla 11.9. Función lógica $F(A, B, C, D)$

\overline{D}	$\overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + ABC$
D	$\overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + ABC$

Aplicando el álgebra Booleana para la función que contiene a la variable \overline{D} .

$$\begin{aligned} \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + ABC &= \overline{A}(\overline{B}\overline{C} + \overline{B}C + BC) + AC(\overline{B} + B) \\ &= \overline{A}[\overline{B}(\overline{C} + C) + BC] + AC(1) = \overline{A}[\overline{B}(1) + BC] + AC = \overline{A}[\overline{B} + BC] + AC \\ &= \overline{A}[(\overline{B} + B)(\overline{B} + C)] + AC = \overline{A}[(1)(\overline{B} + C)] + AC = \overline{A}(\overline{B} + C) + AC \\ &= \overline{A}\overline{B} + \overline{A}C + AC = \overline{A}\overline{B} + (\overline{A} + A)C = \overline{A}\overline{B} + (1)C = \overline{A}\overline{B} + C \\ \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + ABC &= \overline{A}\overline{B} + C \end{aligned}$$

Aplicando el álgebra Booleana para la función que contiene a la variable D.

$$\begin{aligned} \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + ABC &= \overline{A}(\overline{B}\overline{C} + \overline{B}C + B\overline{C}) + (A\overline{B} + AB)\overline{C} \\ &= \overline{A}[\overline{B}(\overline{C} + C) + B\overline{C}] + A(\overline{B} + B)\overline{C} = \overline{A}[\overline{B}(1) + B\overline{C}] + A(1)\overline{C} \\ &= \overline{A}[\overline{B} + B\overline{C}] + A\overline{C} = \overline{A}[(\overline{B} + B)(\overline{B} + \overline{C})] + A\overline{C} = \overline{A}[(1)(\overline{B} + \overline{C})] + A\overline{C} \\ &= \overline{A}(\overline{B} + \overline{C}) + A\overline{C} = \overline{A}\overline{B} + \overline{A}\overline{C} + A\overline{C} = \overline{A}\overline{B} + (\overline{A} + A)\overline{C} = \overline{A}\overline{B} + (1)\overline{C} \\ \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + ABC &= \overline{A}\overline{B} + C \end{aligned}$$

La Tabla 11.9 se transforma en la Tabla 11.10.

Tabla 11.10. Función lógica F (A, B, C, D)

\overline{D}	$\overline{A}\overline{B} + C$
D	$\overline{A}\overline{B} + \overline{C}$

La Figura 11.16 muestra la salida Y utilizando el multiplexor 74157.

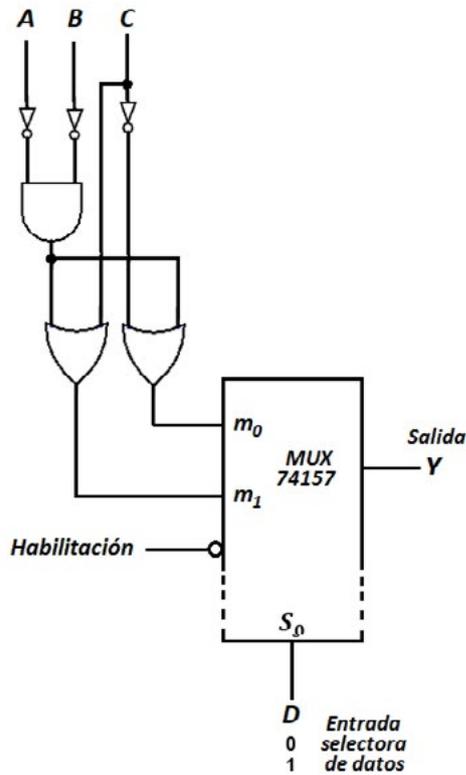


Figura 11.16. Circuito de la función lógica obtenida del mapa de Karnaugh

Puede ampliar esta información en el libro de Electrónica Digital y Microprogramable (Usategui, 2007, pp.75-76) y el libro de electrónica digital (Teoría, Problemas y Simulación) de Acha (2006, pp.46-61).

Demultiplexores (DMUX)

Consisten en circuitos que realizan la función inversa de los multiplexores, es decir, se tienen N salidas, una sola entrada y m entradas de control. La función de las entradas de control es seleccionar en una de las salidas la entrada de datos. La Figura 11.17 muestra la forma de trabajar un demultiplexor utilizando un interruptor de un polo y cuatro tiros con un selector, que activa cada salida dependiendo de su posición.

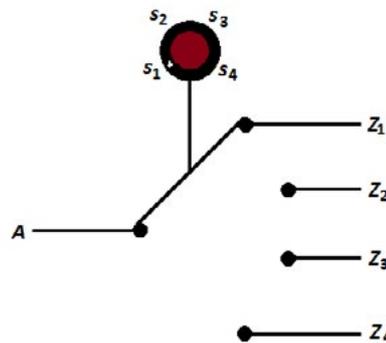


Figura 11.17. Diagrama equivalente de un demultiplexor

La Figura 11.18 muestra el demultiplexor 1 a 4

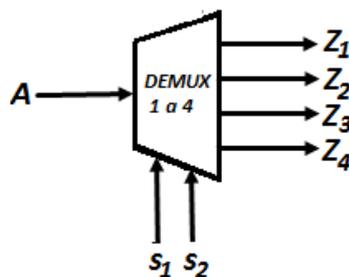


Figura 11.18. Demultiplexor 1 a 4

A continuación, se muestra la Tabla 11.11 para el demultiplexor 1 a 4.

Tabla 11.11. Tabla de la verdad para el demultiplexor 1 a 4

ENTRADAS DE CONTROL		SALIDAS			
S_2	S_1	$A \rightarrow Z_1$	$A \rightarrow Z_2$	$A \rightarrow Z_3$	$A \rightarrow Z_4$
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Por cada salida tendremos una función lógica. Esto es:

$$Z_1 = A(\bar{S}_1\bar{S}_2), Z_2 = A(S_1\bar{S}_2), Z_3 = A(\bar{S}_1S_2) \text{ y } Z_4 = A(S_1S_2) \quad 11.4$$

Con el fin de agrupar las cuatro salidas, se hace necesario implementar un decodificador de 2 a 4. La Figura 11.19 muestra el diagrama en bloques de un decodificador 2 a 4.

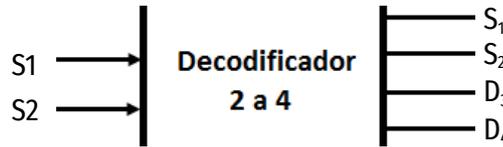


Figura 11.19. Diagrama en bloques de un decodificador 2 a 4

A continuación, se muestra la Tabla 11.12 para el decodificador 2 a 4.

Tabla 11.12. Tabla de la verdad para el decodificador 2 a 4

ENTRADAS DE CONTROL		SALIDAS			
S_2	S_1	D_1	D_2	D_3	D_4
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Por cada salida tendremos una función lógica. Esto es:

$$D_1 = (\bar{S}_1\bar{S}_2), D_2 = (S_1\bar{S}_2), D_3 = (\bar{S}_1S_2) \text{ y } D_4 = (S_1S_2) \quad 11.5$$

La Figura 11.20 muestra el diagrama lógico de la función 11.4 y 11.5 del demultiplexor 1 a 4.

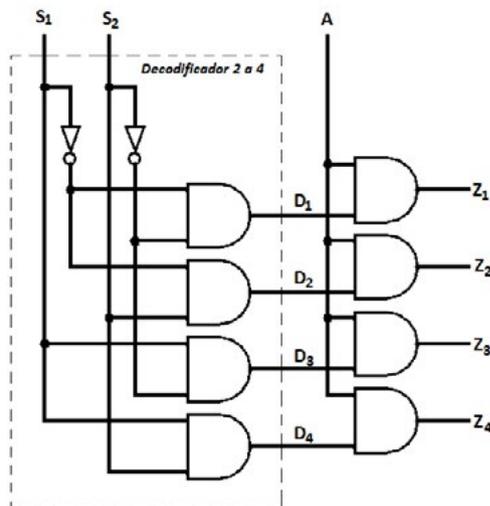


Figura 11.20. Diagrama en bloques de un demultiplexor 4 a 1

Puede ampliar esta información en el libro de electrónica digital (teoría, problemas y simulación) de Acha (2006, pp.62-97).

TAREAS PRELIMINARES

Para comprobar su aprendizaje responda el siguiente test:

1. Explique el funcionamiento de un decodificador con ejemplos concretos.
2. Diseñe un circuito que nos permita decodificar cualquier combinación de bits y describa el decodificador BCD a siete segmentos 7447 y 7448.
3. Describa el funcionamiento de los codificadores con ejemplos concretos.
4. Explique la lógica del codificador decimal a BCD (74147, 74148).
5. Describa el funcionamiento de los multiplexores 74151 y 74157.
6. Describa el funcionamiento de un demultiplexor con ejemplos concretos.
7. Utilice el data chip para especificar las características más sobresalientes de los decodificadores, codificadores, multiplexores y demultiplexores.
8. Detalle cómo se podría ampliar la entrada de datos de un multiplexor.
9. Investigue aplicaciones reales con los multiplexores y demultiplexores.
10. Explique cómo implementar, con un solo multiplexor 4:1 y compuertas lógicas, una función lógica de cuatro variables lógicas.
11. Explique cómo implementar, con un solo multiplexor 2:1, una función lógica de cuatro variables lógicas.

OBJETIVOS DE LA PRÁCTICA

- » Comprender el funcionamiento de los decodificadores y los codificadores.
- » Diseñar circuitos combinacionales utilizando los decodificadores.
- » Comprender el funcionamiento de los multiplexores y demultiplexores.
- » Aplicar el procedimiento para la construcción de un multiplexor, a partir de otros multiplexores de menor tamaño.
- » Implementar un multiplexor usando otro multiplexor de menor tamaño y compuertas lógicas.
- » Simular circuitos que involucren los multiplexores, utilizando el software logisim.
- » Construir el circuito lógico de una función lógica utilizando multiplexores.

PROCEDIMIENTO DE LA PRÁCTICA

Materiales de la práctica

- » Un multiplexor de 16 a 1 (74150).
- » Un multiplexor de 8 a 1 (74151).
- » Un multiplexor de 4 a 1 (74153).
- » Un multiplexor de 2 a 1 (74157).
- » Un demultiplexor de 1 a 8 (74138).
- » Un demultiplexor 4 a 1 (74139).
- » Un protoboard (Model PB-102).
- » Puentes flexibles para protoboard, de puntas rígidas.
- » Un pelacables universal.
- » Un interruptor DIP de ocho vías.
- » Cinco diodos LEDs.
- » Un juego de resistores de 10 K Ω .
- » Un juego de resistores de 330 Ω .
- » Fuente de alimentación de 5VDC

Precauciones y recomendaciones

Con el fin de evitar pérdidas de tiempo, es recomendable utilizar un simulador como Proteus, logisim, EveryCircuit o multisim, antes de proceder a realizar el circuito real en la protoboard, con el fin de evitar pérdidas de tiempo. En estos circuitos hay que tener cuidado al aplicar el procedimiento para la construcción de un multiplexor a partir de otros multiplexores de menor tamaño y de implementar un multiplexor usando compuertas lógicas y otro multiplexor de menor tamaño, debido a que se cometen errores con gran facilidad.

Montajes de la práctica

Los circuitos a desarrollar están basados en la Tabla 11.13 de un problema X.

Tabla 11.13. Tabla de verdad de un problema X

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Procedimiento

De acuerdo con la Tabla 11.13:

1. Encuentre la función lógica por minitérminos.
2. Encuentre la función lógica por maxitérminos.
3. Simplifique la función del paso 1 por Karnaugh.
4. Simplifique la función del paso 2 por Karnaugh.
5. Simule en Multisim o en Proteus las funciones obtenidas en los pasos 1, 2, 3 y 4.
6. Utilice un multiplexor 8:1 y haga la simulación en Multisim o Proteus.
7. Utilice un multiplexor 8:1 y haga el circuito en una Protoboard.
8. Implemente el circuito del punto 7 en una protoboard utilizando únicamente multiplexores 2:1.
9. Implemente el circuito del punto 7 en una protoboard, utilizando únicamente un multiplexor 2:1 y compuertas lógicas.
10. Diseñe un circuito lógico para la siguiente expresión lógica usando:
$$F_1(A,B,C) = \overline{A}\overline{B}\overline{C} + \overline{A}B + \overline{A}BC$$
11. La Figura 11.21 muestra un display de siete segmentos. Relojes digitales, contadores y otros equipos utilizan este dispositivo.

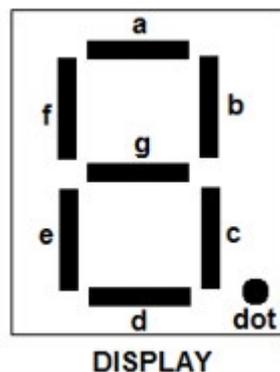


Figura 11.21. Display de siete segmentos

Encendiendo ciertas combinaciones de estos siete segmentos (a - g), podemos mostrar cualquier carácter decimal del 0 al 9. Por ejemplo, cuando los segmentos a, b, c, d y g se iluminan, se muestra el número 3. Del mismo modo, los segmentos a, b, d, e y g mostrará el número 2. Monte un circuito donde se visualicen los dígitos que conforman el sistema decimal y el punto decimal.

Para ampliar esta información, consultar el capítulo 6 del libro de electrónica digital (Principios y Aplicaciones) (Tokheim, 2008, pp.191-228).

12. Consideremos el mapa de Karnaugh de 4 variables lógicas que se muestra en el Mapa 11.6. Una pantalla de siete segmentos opera en conjunción con otro circuito integrado (CI) llamado decodificador de siete segmentos (7447 y 7448). Este decodificador, contiene la lógica necesaria para decodificar un código BCD de 4 bits, con el fin de conducir a los segmentos de la pantalla del circuito integrado de siete segmentos.

		<i>CD</i>			
		$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
<i>AB</i>	$\bar{A}\bar{B}$	1 <small>0</small>			1 <small>2</small>
	$\bar{A}B$		1 <small>5</small>	1 <small>7</small>	1 <small>6</small>
	AB		1 <small>13</small>	1 <small>15</small>	1 <small>14</small>
	$A\bar{B}$	1 <small>8</small>			1 <small>10</small>

Mapa 11.6. Mapa de Karnaugh de cuatro variables lógicas

Preguntas de la práctica

1. ¿Cuál de los métodos utilizados para simular los valores de verdad de la Tabla 11.13, le resultó más sencillo? Justifique su respuesta.
2. Explique detalladamente los numerales 8 y 9 de 11.7.4.
3. ¿En qué casos son aplicables los numerales 8 y 9 de 11.7.4?
4. Las siguientes preguntas hacen referencia al numeral 10 de 11.7.4.
 - a. Diseñe el circuito lógico utilizando un multiplexor 8 a 1.
 - b. Realice los circuitos en un protoboar y simúlelos.
5. Las siguientes preguntas hacen referencia al numeral 11 de 11.7.4.
 - a. Diseñe un decodificador de siete segmentos que descifre el código BCD de 4 bits para números decimales 0 al 9. Las combinaciones no utilizadas 1010, 1011, 1100, 1101, 1110, 1111 son no válidas en BCD. Deduzca las expresiones Booleanas para cada uno de los siete segmentos (a - g).
 - b. Para cada expresión obtenida utilice un multiplexor de 8 a 1 y de 16 a 1.
 - c. Muestre en el display de siete segmentos, lo que resulta para cada combinación no válida en BCD.

Los sensores de temperatura T1 y T2 harán que la bomba respectiva se pare si se activa su sensor.

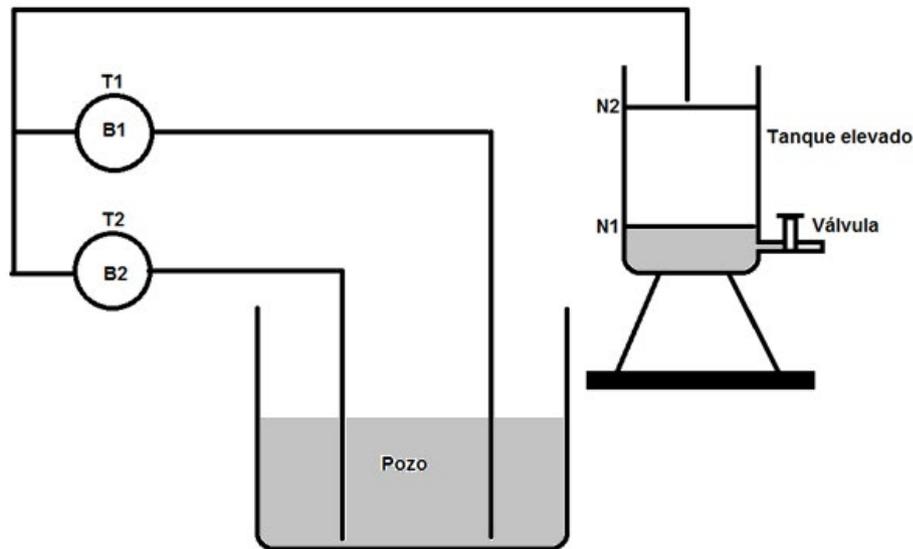


Figura 11.22. Figura del problema de las actividades adicionales 11.8

Hallar:

1. La tabla de verdad del circuito de control.
2. Las funciones de salida de las bombas B1 y B2 en forma de minitérminos.
3. Las funciones de salida de las bombas B1 y B2 en forma de maxitérminos.
4. Simplificar las funciones del punto 2 utilizando los mapas de Karnaugh.
5. Simplificar las funciones del punto 3 utilizando los mapas de Karnaugh.
6. Expresar las funciones simplificadas del punto 4 con compuertas NAND.
7. Expresar las funciones simplificadas del punto 4 con compuertas NOR.
8. Expresar las funciones simplificadas del punto 5 con compuertas NAND.
9. Expresar las funciones simplificadas del punto 5 con compuertas NOR.
10. Implemente el circuito del punto 4 con las compuertas básicas.
11. Implemente el circuito del punto 5 con las compuertas básicas.
12. Implemente el circuito del punto 6 con las compuertas básicas.
13. Implemente el circuito del punto 7 con las compuertas básicas.
14. Implemente el circuito del punto 8 con las compuertas básicas.
15. Implemente el circuito del punto 9 con las compuertas básicas.
16. Implemente el circuito del punto 1 utilizando un multiplexor 16:1 y compuertas lógicas.
17. Implemente el circuito del punto 1 utilizando un multiplexor 8:1 y compuertas lógicas.

18. Implemente el circuito del punto 1 utilizando un multiplexor 4: y y compuertas lógicas.
19. Implemente el circuito del punto 1 utilizando un multiplexor 2:1 y y compuertas lógicas.
20. Implemente el circuito del punto 2 utilizando un multiplexor 16:1 y compuertas lógicas.
21. Implemente el circuito del punto 2 utilizando un multiplexor 8:1 y compuertas lógicas.
22. Implemente el circuito del punto 2 utilizando un multiplexor 4: y y compuertas lógicas.
23. Implemente el circuito del punto 2 utilizando un multiplexor 2:1 y y compuertas lógicas.
24. Implemente el circuito del punto 1 y 2 utilizando únicamente multiplexores 8:1.
25. Implemente el circuito del punto 1 y 2 utilizando únicamente multiplexores 4:1.
26. Implemente el circuito del punto 1 y 2 utilizando únicamente multiplexores 2:1.

Desarrollo e implementación de circuito

que muestre la aplicación de los diferentes tipos de Flip-Flop (F/F)

INTRODUCCIÓN

Los biestables u osciladores son circuitos que poseen dos estados estables, el **Set** (activación) y **Reset** (desactivación). Entre sus aplicaciones fundamentales, podemos mencionar la memorización de datos y su uso como contadores. Se clasifican en dos tipos los biestables asíncronos (latch) y biestables síncronos (Flip-Flop) que son bloques que involucran contadores, registros y algunos circuitos de control secuencial. Este experimento abarca el estudio de los sistemas secuenciales mencionados y comprende los circuitos biestables y los Flip – Flop (F/F).

COMPETENCIA EVALUADA

Construir circuitos secuenciales de electrónica digital que involucren los Flip - Flop para solucionar problemas reales de la vida cotidiana.

INDICADORES DE LOGROS

- » Construye latches básicos utilizando las compuertas básicas.
- » Comprende el funcionamiento de los latch.
- » Identifica las diferencias entre los latch y los Flip - Flop.
- » Comprende el funcionamiento de latch tipo R-S y los tipos D.

- » Comprende los términos de flanco ascendente y descendente, de una señal de reloj.
- » Explica el funcionamiento de los Flip – Flop tipo D, T y J-K.
- » Aplica los Flip – Flop en aplicaciones sencillas.

CONTENIDO TEMÁTICO

Circuitos biestables

Los biestables, también conocidos como osciladores, son circuitos multivibradores que generan ondas cuadradas con un nivel de voltaje mínimo de cero voltios “0V”, que normalmente corresponde al apagado y de nivel alto “5V” que corresponde a encendido.

Los biestables tienen dos salidas complementarias que pueden asumir cualquiera de los dos niveles 0 o 1, denotadas por Q y \bar{Q} . La función de los biestables es que sus salidas, en uno de sus dos estados posibles durante un tiempo indefinido, siempre permanecen si sus entradas no han sido modificadas. Su principal característica es que la salida no depende únicamente del estado actual de la entrada, sino también del estado de salida anterior. Entre sus aplicaciones fundamentales podemos mencionar, la memorización de datos y su uso como contadores. Se clasifican en dos tipos los biestables asíncronos (latch) y biestables síncronos (Flip-Flop).

Biestables asíncronos (latch)

Estos biestables no tienen señal de reloj y los encontramos de tipo RS. Las entradas actúan todo el tiempo y cualquier cambio en ellas, modificará instantáneamente las salidas. Los latch se pueden combinar para implementar los F/F activados por nivel o por flanco. La Figura 12.1 muestra el símbolo para el latch RS.

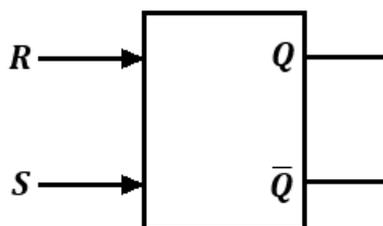


Figura 12.1. Símbolo del biestable RS asíncrono

Podemos representar el latch RS con dos puertas lógicas NOR o dos NAND. En la Figura 12.2 se muestra el latch construido con puertas NOR. La ecuación característica para cada una de las salidas se halla asumiendo que cada puerta lógica tiene diferentes tiempos de propagación, lo cual es considerado como un retardo entre una señal que está disponible en la salida y la señal de retroalimentación aplicada a la entrada. Esto se puede visualizar en las Figuras 12.3 y 12.4.

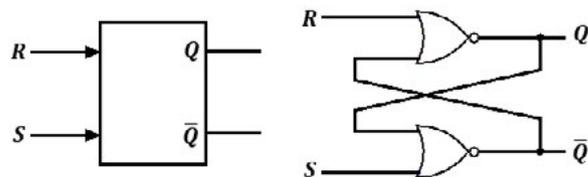
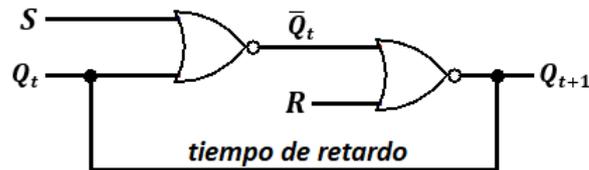
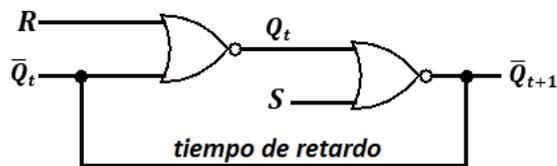


Figura 12.2. Biestable RS - NOR

Figura 12.3. Determinación de Q_{t+1} de puertas NORFigura 12.4. Determinación de \bar{Q}_{t+1} de puertas NOR

Las ecuaciones características para las salidas Q_{t+1} y \bar{Q}_{t+1} de las Figuras 12.3 y 12.4, se obtienen como se indica a continuación:

$Q_{t+1} = \overline{\bar{Q}_t + R}$, además, $\bar{Q}_t = \overline{S + Q_t}$. Luego de sustituir, resulta:

$$Q_{t+1} = \overline{S + Q_t + R} = (S + Q_t)\bar{R} = \bar{R}S + \bar{R}Q_t \quad 12.1$$

$\bar{Q}_{t+1} = \overline{Q_t + S}$, además, $Q_t = \overline{\bar{Q}_t + R}$. Luego de sustituir, resulta:

$$\bar{Q}_{t+1} = \overline{Q_t + R + S} = (\bar{Q}_t + R)\bar{S} = \bar{S}\bar{Q}_t + \bar{S}R \quad 12.2$$

La salida Q_{t+1} y su complemento \bar{Q}_{t+1} se muestran en la Tabla 12.1

Tabla 12.1. Tabla de estado del latch RS con puertas NOR

ENTRADAS			PROCESO							SALIDAS	
R	S	Q_t	\bar{R}	\bar{S}	\bar{Q}_t	$\bar{R}S$	$\bar{R}Q_t$	$\bar{S}R$	$\bar{S}\bar{Q}_t$	Q_{t+1}	\bar{Q}_{t+1}
0	0	0	1	1	1	0	0	0	1	0	1
0	0	1	1	1	0	0	1	0	0	1	0
0	1	0	1	0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1	0	0	1	0
1	0	0	0	1	1	0	0	1	1	0	1
1	0	1	0	1	0	0	0	1	0	0	1
1	1	0	0	0	1	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0

Biestables síncronos (Flip-Flop)

Estos biestables dependen de la señal de reloj a la entrada, como lo muestra su símbolo en la Figura 12.5. En estos F/F, las entradas solo afectarán la salida cuando dicho reloj esté activo, ya sea por nivel o por flanco (ascendente o descendente). Los que se activan por nivel son denotados como biestables RS y tipo D, mientras que los que se activan por flanco son de tipo RS, JK, T y D. Si la señal de reloj está inactiva, las salidas no cambiarán su estado almacenado, similar a si las entradas quedaran anuladas.

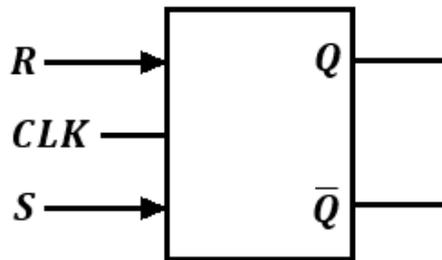


Figura 12.5. Símbolo del biestable RS síncrono

Tipos de Flip Flop (F/F)

Los F/F son circuitos secuenciales diseñados con puertas lógicas, especialmente con las compuertas universales estudiadas en el Experimento 7. Estos circuitos tienen la propiedad de almacenar un bit de información y se clasifican en:

1. F/F Asíncronos de tipo R-S, J-K y T.
2. F/F Síncronos
 - a. Activados por nivel de tipo R-S, J-K y D.
 - b. Activados por Flancos de tipo R-S, D, J-K y T.

Flip Flop J-K

En el F/F J-K, la entrada J se configura como SET y la K como RESET. Al activar el F/F, ya sea por nivel o por flancos, se almacenan los datos binarios dependiendo de las entradas J y K del F/F.

El F/F J-K lo podemos implementar utilizando el latch RS estudiado en el numeral 12.2.1.1 de este experimento y, además, usando dos compuertas AND de tres entradas. Hay una entrada común de reloj y las salidas de estas compuertas van a las entradas del latch como se muestra en la Figura 12.6. Adicionalmente, en la Figura 12.7 se muestra el símbolo del F/F J-K.

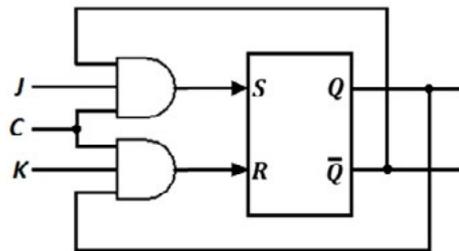


Figura 12.6. Circuito lógico del F/F J-K

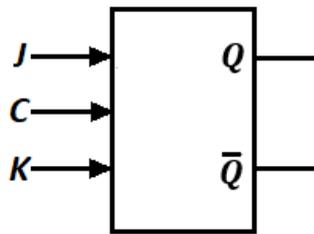


Figura 12.7. Símbolo del F/F J-K

Para encontrar la ecuación característica y la tabla de verdad del F/F J-K, utilizamos la Figura 12.6 teniendo en cuenta los tiempos de retardo.

$$S = JC\bar{Q}_t \text{ y } R = CKQ_t \quad 12.3$$

Sustituyendo 12.3 en la ecuación característica 12.1, tenemos:

$$\begin{aligned} Q_{t+1} &= \overline{CK\bar{Q}_t} (JC\bar{Q}_t + Q_t) \\ Q_{t+1} &= (\bar{C} + \bar{K} + \bar{Q}_t)(Q_t + \bar{Q}_t)(Q_t + JC) = (\bar{C} + \bar{K} + \bar{Q}_t)(1)(Q_t + JC) \\ Q_{t+1} &= (\bar{C} + \bar{K} + \bar{Q}_t)(Q_t + JC) \\ Q_{t+1} &= \bar{C}Q_t + \bar{K}Q_t + \bar{Q}_tQ_t + \bar{C}JC + \bar{K}JC + \bar{Q}_tJC \\ Q_{t+1} &= \bar{C}Q_t + \bar{K}Q_t + \bar{K}JC + \bar{Q}_tJC \\ Q_{t+1} &= \bar{C}Q_t + \bar{K}Q_t + \bar{K}JC(Q_t + \bar{Q}_t) + \bar{Q}_tJC \\ Q_{t+1} &= \bar{C}Q_t + \bar{K}Q_t + \bar{K}JCQ_t + \bar{K}JC\bar{Q}_t + \bar{Q}_tJC \\ Q_{t+1} &= \bar{C}Q_t + \bar{K}Q_t(1 + JC) + JC\bar{Q}_t(\bar{K} + 1) \\ Q_{t+1} &= \bar{C}Q_t + \bar{K}Q_t + JC\bar{Q}_t \end{aligned}$$

$$Q_{t+1} = (\bar{C} + \bar{K})Q_t + JC\bar{Q}_t \quad 12.4$$

Como C representa la señal de reloj,

$$\text{Si, } C = 1 \rightarrow Q_{t+1} = \bar{K}Q_t + J\bar{Q}_t \quad 12.5$$

$$\text{Si, } C = 0 \rightarrow Q_{t+1} = Q_t \quad 12.6$$

La Tabla 12.2 muestra el funcionamiento del F/F J-K y la Tabla 12.3 representa el resumen del F/F J-K.

Tabla 12.2. Tabla de verdad del F/F J-K

C	J	K	Q_t	\bar{K}	$\bar{K}Q_t$	\bar{Q}_t	$J\bar{Q}_t$	$Q_{t+1} = \bar{K}Q_t + J\bar{Q}_t$
0	X	X	X	X	X	X	X	Q_t
1	0	0	0	1	0	1	0	0
	0	0	1	1	1	0	0	1
	0	1	0	0	0	1	0	0
	0	1	1	0	0	0	0	0
	1	0	0	1	0	1	1	1
	1	0	1	1	1	0	0	1
	1	1	0	0	0	1	1	1
	1	1	1	0	0	0	0	0

Podemos resumir la Tabla 12.2 en la Tabla 12.3 al analizar Q_t y Q_{t+1} y para los valores de J y K .

Tabla 12.3. Resumen de la tabla de verdad del F/F J-K

C	J	K	Q_{t+1}	\bar{Q}_{t+1}	Información
0	X	X	Q_t	\bar{Q}_t	No hay cambios
1	0	0	Q_t	\bar{Q}_t	
1	0	1	0	1	Reset (pone en "0")
1	1	0	1	0	Set (pone en "1")
1	1	1	\bar{Q}_t	Q_t	Báscula (cambia)

La tabla de excitación del F/F J-K que se utiliza con mucha frecuencia en la solución de problemas, se muestra en la Tabla 12.4.

Tabla 12.4. Tabla de excitación del F/F J-K

Q_t	Q_{t+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Flip Flop T

Este F/F se obtiene del F/F J-K al unir sus dos entradas, por lo tanto, su ecuación característica se obtendrá de la ecuación 12.4. Esto es,

$$Q_{t+1} = (\bar{C} + \bar{K})Q_t + JC\bar{Q}_t$$

Si en la Figura 12.7 se unen las entradas del F/F JK y esta se denota por T, obtendrá la Figura 12.8 que corresponde al F/F tipo T.

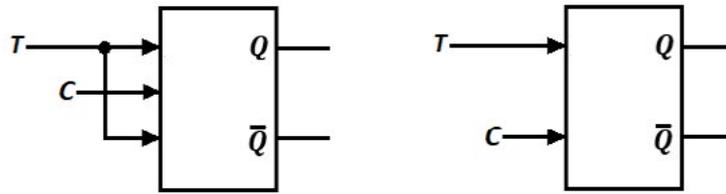


Figura 12.8. Símbolo del F/F tipo T

La ecuación característica, se obtiene cuando $J = K = T$.

La ecuación anterior 12.4 toma la forma de:

$$Q_{t+1} = (\bar{C} + \bar{T})Q_t + TC\bar{Q}_t \quad 12.7$$

Como representa la señal de reloj,

$$\text{Si, } C = 1 \rightarrow Q_{t+1} = \bar{T}Q_t + T\bar{Q}_t = T \oplus Q_t \quad 12.8$$

$$\text{Si, } C = 0 \rightarrow Q_{t+1} = Q_t \quad 12.9$$

La Tabla 12.5 muestra el funcionamiento del F/F tipo T y la Tabla 12.6 representa el resumen del F/F tipo T.

Tabla 12.5. Tabla de verdad del F/F tipo T

C	T	Q_t	$Q_{t+1} = T \oplus Q_t$
0	X	X	Q_t
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

De la Tabla 12.5 se observa que cuando $T = 0 \rightarrow Q_t = Q_{t+1}$ esto indica que no hay cambios, y si $T = 1 \rightarrow Q_t = \bar{Q}_{t+1}$, se activa el F/F y conmuta invirtiendo la señal del estado anterior, por lo que este F/F recibe el nombre de Toogle (T). Debido a esto, el F/F tipo T es de interés cuando estamos interesado en almacenar un único bit de datos ya sea el "0" o el "1".

Podemos resumir la Tabla 12.5 en la Tabla 12.6 al analizar $Q_t + Q_{t+1}$ y para los valores de C y T.

Tabla 12.6. Resumen de la tabla de verdad del F/F tipo T

C	T	Q_{t+1}	Información
0	X	Q_t	No hay cambios
1	0	Q_t	Báscula (cambia)
1	1	\bar{Q}_t	Báscula (cambia)

La tabla de excitación del F/F tipo T se muestra en la Tabla 12.7.

Tabla 12.7. Tabla de excitación del F/F tipo T

Q_{t+1}	T
Q_t	0
\bar{Q}_t	1

Flip Flop D

Este F/F consiste en una mejora del F/F RS, ya que se corrige el estado indefinido. Aquí estudiaremos el F/F tipo D, disparado por flanco ascendente de la señal de reloj como se muestra en la Figura 12.9.

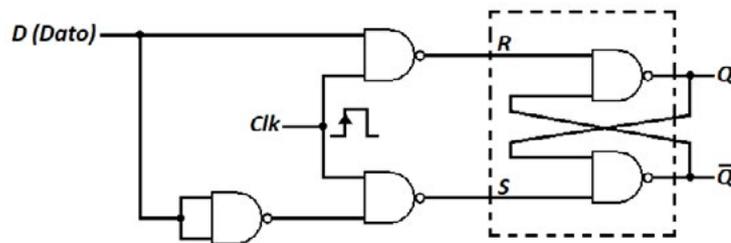


Figura 12.9. Circuito lógico del F/F tipo D activado por flanco ascendente

El símbolo de este F/F se muestra en la Figura 12.10. Se coloca un triángulo en la entrada de la señal del reloj para indicar que el F/F estará activo cuando la señal pasa de nivel bajo (0) a nivel alto (1) (flanco ascendente). La Tabla 12.8 muestra el funcionamiento del F/F tipo D.

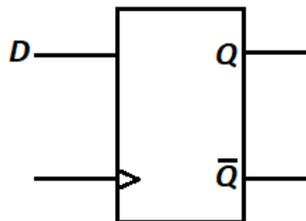


Figura 12.10. Símbolo del F/F tipo D activado por flanco ascendente

Tabla 12.8. Tabla de verdad del F/F tipo T

C	D	Q_{t+1}
0	X	Q_t
1	X	Q_t
	0	0
	1	1

La ecuación característica de este F/F se obtiene por minitérminos:

$$Q_{t+1} = D\bar{Q}_t + DQ_t = D(\bar{Q}_t + Q_t) = D(1) = D$$

$$Q_{t+1} = D$$

12.10

Del resultado podemos notar que el estado siguiente no depende del estado anterior sino del dato de entrada. Este dato permanecerá hasta que llegue otro flanco ascendente de la señal de reloj.

A continuación, se mostrarán tres ejemplos relacionados con los F/F.

Ejemplos

Ejemplo 1

Implementar un F/F J-K que se active con flanco ascendente de la señal de reloj con un F/F tipo D.

Para la implementación utilizaremos las ecuaciones características 12.10 y del F/F tipo D y 12.5 del F/F J-K.

De estas expresiones, se tiene:

$$D = \bar{K}Q_t + J\bar{Q}_t$$

12.11

El circuito lógico de la expresión 12.11 se muestra en la Figura 12.11, que es equivalente al símbolo del F/F J-K activado por flanco ascendente de la señal de reloj y que se muestra en la Figura 12.12.

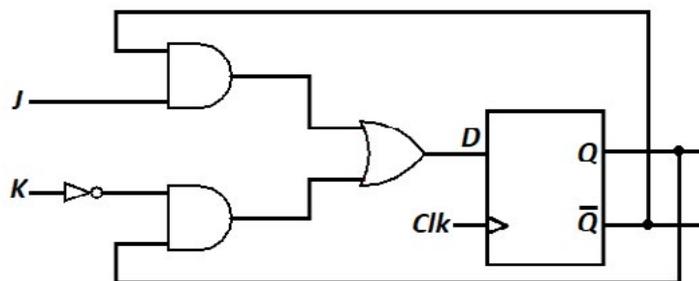


Figura 12.11. Circuito lógico del F/F J-K activado por flanco ascendente

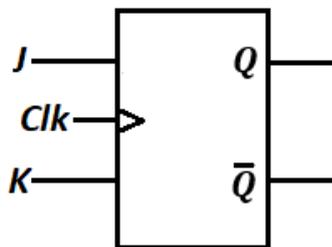


Figura 12.12. Símbolo del F/F tipo J-K activado por flanco ascendente

La Tabla 12.9 muestra el resumen de los valores de verdad de la Figura 12.11.

Tabla 12.9. Tabla de verdad del F/F J-K activado con flanco ascendente

J	K	Clk	Q_{t+1}
X	X	0	Q_t
X	X	1	Q_t
0	0	↑	Q_t
0	1	↑	0
1	0	↑	1
1	1	↑	\bar{Q}_t

Ejemplo 2

Implementar un F/F tipo T que se active con flanco ascendente de la señal de reloj con un F/F tipo D. Para ello utilizaremos las ecuaciones características 12.8 del F/F tipo T y 12.10 del F/F tipo D.

De estas expresiones, se tiene:

$$D = T \oplus Q \tag{12.12}$$

El circuito lógico de la expresión 12.12 se muestra en la Figura 12.13, que es equivalente al símbolo del F/F tipo T activado por flanco ascendente de la señal de reloj y que se muestra en la Figura 12.14.

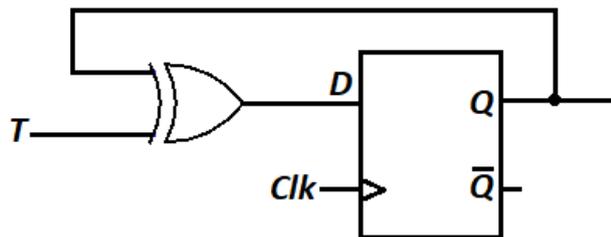


Figura 12.13. Circuito lógico del F/F tipo T activado por flanco ascendente

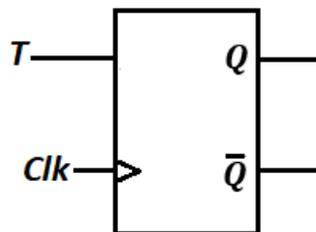


Figura 12.14. Símbolo del F/F tipo T activado por flanco ascendente

La Tabla 12.10 muestra el resumen de los valores de verdad de la Figura 12.13.

Tabla 12.10. Tabla de verdad del F/F tipo T activado con flanco ascendente

T	clk	Q_{t+1}
X	0	Q_t
X	1	Q_t
0	\uparrow	Q_t
1	\uparrow	\bar{Q}_t

Ejemplo 3

Este ejemplo está relacionado con el F/F J-K y consiste en describir la operación secuencial del circuito mostrado en la Figura 12.15, por medio de diagramas de estado, para $X=0$, y para $X=1$. La entrada X puede ser asumida como estado lógico "0" o "1". Usando los estados de la Tabla 12.11 que se obtiene del análisis de la Figura 12.15 y de la tabla de excitación del F/F J-K (Tabla 12.4). Este ejemplo fue tomado de (Karris, 2007, pp.8-42).

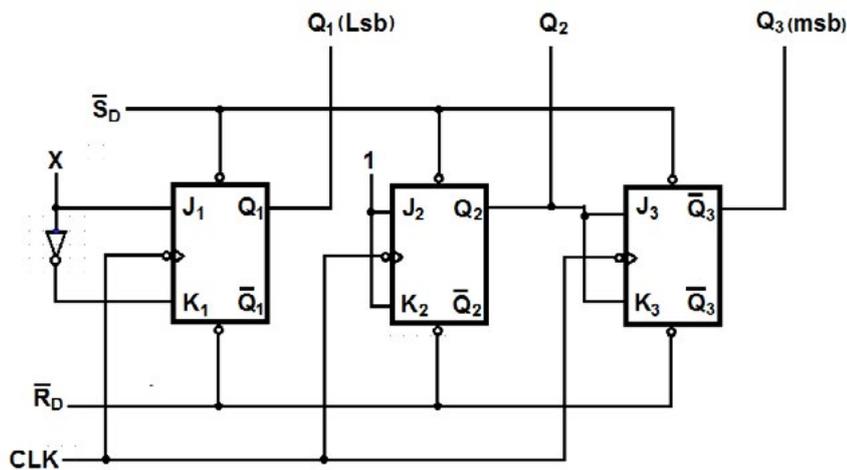


Figura 12.15. Circuito secuencial con F/F-JK (Karris, 2007, pp.8-42)

De la Figura 12.15 se observa lo siguiente:

- a. $X = 0 \rightarrow J_1 = 0, K_1 = 1$
- b. $X = 1 \rightarrow J_1 = 1, K_1 = 1$
- c. $J_2 = K_2 = 1$
- d. $J_3 = K_3 = Q_2$

Utilizamos la Tabla 12.4 de excitación para el F/F-JK:

De la segunda y quinta fila de la Tabla 12.4, se observa: $Q_{t+1} = Q_t$

De la tercera y cuarta fila de la Tabla 12.4, se observa que:

$$J = 1 = K \rightarrow Q_{t+1} = Q_t$$

De la segunda fila de la Tabla 12.4, se tiene:

$$J = 0, K = 1 \rightarrow Q_{t+1} = Q_t = 0$$

$$J = 0, K = 1 \rightarrow Q_{t+1} = Q_t = 0$$

De la tercera fila, se tiene:

$$J = 1, K = 1 \text{ y si } Q_t = 0 \rightarrow Q_{t+1} = 1$$

$$J = 1, K = 0 \text{ y si } Q_t = 0 \rightarrow Q_{t+1} = 1$$

La Tabla 12.11 muestra la información del estado actual (Q_t), de las entradas de los F/F-JK y los estados siguientes (Q_{t+1}) de nuestro problema. Estos resultados se obtienen del análisis anterior de la Tabla 12.4, sobre la excitación de los F/F-JK.

Tabla 12.11. Tabla de verdad de la operación secuencial

ENTRADA ACTUAL (Q_t)			ENTRADAS DE LOS F/F-JK												ESTADO SIGUIENTE (Q_{t+1})					
			X=0						X=1						X=0			X=1		
Q_3	Q_2	Q_1	J_3	K_3	J_2	K_2	J_1	K_1	J_3	K_3	J_2	K_2	J_1	K_1	Q_3	Q_2	Q_1	Q_3	Q_2	Q_1
0	0	0	0	0	1	1	0	1	0	0	1	1	1	0	0	1	0	0	1	1
0	0	1	0	0	1	1	0	1	0	0	1	1	1	0	0	1	0	0	1	1
0	1	0	1	1	1	1	0	1	1	1	1	1	1	0	1	0	0	1	0	1
0	1	1	1	1	1	1	0	1	1	1	1	1	1	0	1	0	0	1	0	1
1	0	0	0	0	1	1	0	1	0	0	1	1	1	0	1	1	0	1	1	1
1	0	1	0	0	1	1	0	1	0	0	1	1	1	0	1	1	0	1	1	1
1	1	0	1	1	1	1	0	1	1	1	1	1	1	0	0	0	0	0	0	1
1	1	1	1	1	1	1	0	1	1	1	1	1	1	0	0	0	0	0	0	1

Para construir el diagrama de estados para X=0, nos concentramos en las entradas actuales (Q_t) y en los estados siguientes (Q_{t+1}) de la Tabla 12.11.

Tabla 12.12. Tabla de verdad para X=0

ENTRADA ACTUAL			ESTADO SIGUIENTE		
X=0					
Q_3	Q_2	Q_1	Q_3	Q_2	Q_1
0	0	0	0	1	0
0	0	1	0	1	0
0	1	0	1	0	0
0	1	1	1	0	0
1	0	0	1	1	0
1	0	1	1	1	0
1	1	0	0	0	0
1	1	1	0	0	0

Usando la Tabla 12.12, se construye el diagrama de estados que se muestra en la Figura 12.16.

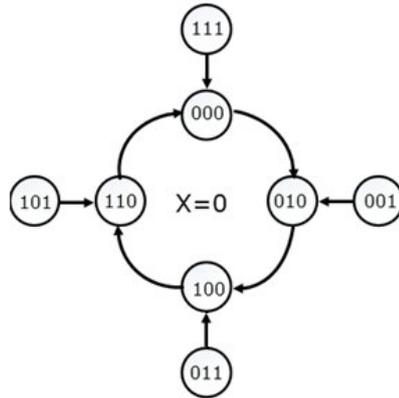


Figura 12.16. Diagrama de estados para X=0

Para construir el diagrama de estados para X=1, nos concentramos en las entradas actuales Q_t y en los estados siguientes Q_{t+1} de la Tabla 12.11.

Tabla 12.13. Tabla de verdad para X=1

ENTRADA ACTUAL			ESTADO SIGUIENTE		
			X=1		
Q_3	Q_2	Q_1	Q_3	Q_2	Q_1
0	0	0	0	1	1
0	0	1	0	1	1
0	1	0	1	0	1
0	1	1	1	0	1
1	0	0	1	1	1
1	0	1	1	1	1
1	1	0	0	0	1
1	1	1	0	0	1

Usando la Tabla 12.13, se construye el diagrama de estados que se muestra en la Figura 12.17.

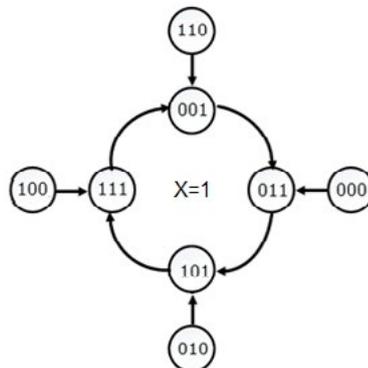


Figura 12.17. Diagrama de estados para X=1

TAREAS PRELIMINARES

Para comprobar su aprendizaje responda el siguiente test:

1. Investigue el funcionamiento del latch S-R.
2. Realice un cuadro donde se indique los diferentes tipos de Flip – Flop. Se debe indicar el símbolo, la señal de reloj de activación, el circuito integrado y las tablas de verdad.
3. Implemente los diferentes tipos de Flip – Flop con las compuertas básicas.
4. Use el data chip para indicar las características más importantes de los Flip – Flop.
5. Muestre ejemplos sencillos con sus explicaciones detalladas, que involucren los Flip – Flop.
6. ¿Cuántas salidas debe haber en un contador de números decimales del 1 al 9 en binario?
7. ¿Cuántos estados se deben utilizar para el contador y qué representa cada uno de ellos?
8. Investigue el funcionamiento del circuito integrado 555 en el modo de multivibrador astable y las ecuaciones que rigen su funcionamiento.

OBJETIVOS DE LA PRÁCTICA

- » Comprender el funcionamiento de los F/F.
- » Diferenciar los diferentes tipos de F/F.
- » Aplicar las ecuaciones características de los F/F para construir sus tablas de verdad.
- » Simular los diferentes tipos de F/F utilizando el software de logisim.
- » Construir los circuitos reales que se obtienen del enunciado de un problema particular de la lógica secuencial.
- » Comprender el funcionamiento de los diagramas de estado.

DESARROLLO DE LA PRÁCTICA

Materiales de la práctica

- » Juegos de compuertas básicas.
- » Flip Flop Tipo T, D y J-K.
- » Resistores.
- » Display de siete segmentos de ánodo común.
- » Circuito integrado 7447.
- » Capacitores.

- » Display de siete segmentos.
- » Circuito integrado 555.
- » Un protoboard (Model PB-102).
- » Multímetro.
- » Fuente de alimentación de 5VDC.
- » Cables de conexión.

Precauciones y recomendaciones

Tenga cuidado al energizar los circuitos integrados, ya que un voltaje por encima del que soportan, puede dañarlos. También, es importante la eliminación del rebote generado por los pulsadores o interruptores mecánicos. Al no tener en cuenta estos rebotes, se pueden producir resultados erróneos en nuestras aplicaciones.

Montajes de la práctica

Este laboratorio está relacionado con los F/F J-K y para ello se desea diseñar y construir un circuito contador binario cíclico con las secuencias 1, 3, 5, 7, 9, 0, 8, 6, 4, 2. Además, estas secuencias deben visualizarse en un display de ánodo común de siete segmentos. A continuación, se muestra en la Figura 12.18 el diagrama de estados del circuito contador.

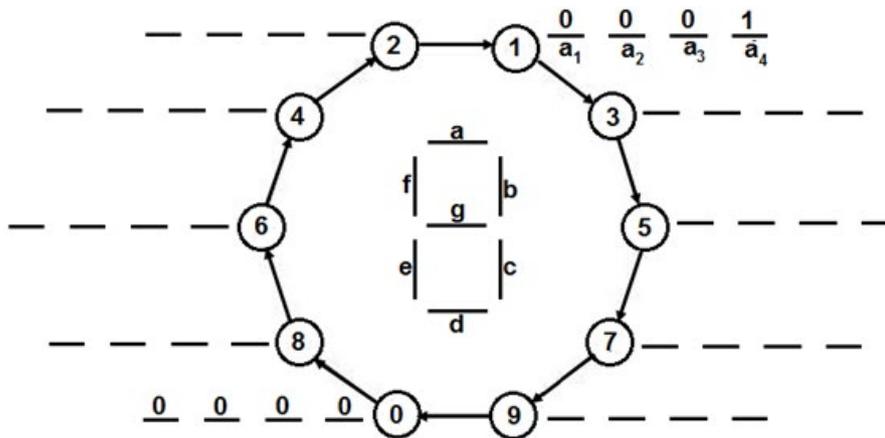


Figura 12.18. Diagrama de estado del sistema

Procedimiento

1. Complete el diagrama de estados del sistema que se muestra en la Figura 12.18.
2. Utilice el diagrama de estados del paso 1 para completar la Tabla 12.14, que representa las entradas y salidas del sistema.

Tabla 12.14. Entradas y salidas del sistema

ESTADO ACTUAL				ESTADO SIGUIENTE				F/F-JK							
Q3	Q2	Q1	Q0	Q3	Q2	Q1	Q0	J3	K3	J2	K2	J1	K1	J0	K0
0	0	0	1	0	0	1	1	0	X	0	X	1	X	X	0
0	0	1	1	0	1	0	0	0	X	1	X	X	1	X	0

- Utilice diagramas de Karnaugh para representar las salidas del sistema en función de sus entradas, resuélvalos y encuentre las ecuaciones de estados que rigen a cada F/F J-K.
- Dibuje el circuito utilizando compuertas según las ecuaciones de estado.
- Establezca los valores de los capacitores y resistores del modelo de multivibrador astable del circuito integrado 555 para un periodo de 2 segundos. Esta será la señal de reloj para los Flip - Flop.
- Simule en Proteus el circuito diseñado.
- Monte el circuito real utilizando un protoboard.

Preguntas sobre la práctica

- ¿Cuál fue la mayor dificultad encontrada en el punto 1 y 2 de 12.7.4.?
- Obtenga sus propias conclusiones de esta práctica.
- Explique detalladamente el procedimiento para encontrar las ecuaciones de estado del punto 3 de 12.7.4.
- Explique el circuito del punto 4 de 12.7.4.
- Realice un gráfico del circuito del multivibrador 555 del punto 5, que muestre el resultado obtenido en un simulador.
- ¿Qué dificultad se le presentó en Proteus y en el montaje real en la protoboard de los puntos 6 y 7 de 12.7.4 respectivamente?
- Obtenga sus propias conclusiones de la práctica.

ACTIVIDADES ADICIONALES

- Investigue en qué consiste una máquina de estado y haga la diferencia entre los modelos de Mealy y de Moore.
- Realice un circuito entre las dos máquinas con el fin de ver sus diferencias.

3. Utilice un transductor BCD para representar el número en un display de 7 segmentos.
4. Realice el mismo procedimiento para diseñar un contador de 0 a 9 y de 9 a 0. Simule en Proteus cada contador.
5. Diseñe un sistema que controle dos bombas para el llenado de un tanque de tres niveles que siga la siguiente lógica:
 - a. Si el tanque está vacío las dos bombas están encendidas.
 - b. Si el agua sobrepasa el primer nivel las dos bombas siguen encendidas.
 - c. Si el agua sobrepasa el segundo nivel se apaga una bomba.
 - d. Si el agua llega al tercer nivel las dos bombas están apagadas.

Responda lo siguiente:

- a. ¿Cuántos estados tiene el sistema?
- b. ¿Cuáles son las entradas y salidas del sistema?
- c. ¿Cuántos F/F J-K debemos usar en este sistema y por qué?
- d. Para este laboratorio utilice sensores infrarrojos que simulen los sensores del tanque, investigue su funcionamiento y circuitos de acondicionamiento, de acuerdo a los niveles bajo y alto de los F/F que utilizará en el montaje final.
- e. Construya el diagrama de estados para el sistema.
- f. Utilice la tabla de verdad para llenar la tabla de estados con las entradas y estados del sistema.
- g. Utilice diagramas de Karnaugh para representar las salidas del sistema en función de sus entradas. Posteriormente, resuélvalos y encuentre las ecuaciones de estados que rigen a cada F/F.
- h. Dibuje el circuito utilizando compuertas según las ecuaciones de estado.
- i. Diseñe los capacitores y resistencias del modelo de multivibrador astable del circuito integrado 555 para un período de 2 segundos.

Para realizar las pruebas del circuito:

- » Polarice el emisor y receptor infrarrojo y utilice un multímetro para comprobar su funcionamiento, de tal manera que cuando el receptor reciba luz infrarroja la salida del sensor sea cercana a los 0V y cuando no reciba luz infrarroja la salida sea cercana a los 5V.

- » El montaje del circuito utilizando como entradas dip switch y como salidas, diodos LEDs, para simular el funcionamiento de las bombas de agua.

Diseñe un sistema que controle el portón y la luz de señalización en un garaje, de acuerdo con la siguiente lógica:

- » Si un coche quiere salir y otro quiere entrar al mismo tiempo, la puerta no se abrirá y una lámpara de color naranja indicará al conductor del coche que desea entrar que se retire para que pueda salir el que está dentro. Otra lámpara del mismo color, que se iluminará al mismo tiempo que la de afuera, indicará al conductor del coche de adentro que debe esperar hasta que se retire el de fuera. Otra lámpara de color rojo, situada al principio de túnel de salida (visible desde las plazas de aparcamiento), indicará al conductor que quiere salir del garaje que modere su velocidad y espere porque un coche está situado en la plataforma de entrada. El coche que quiere entrar o que quiere salir debe permanecer en reposo hasta que la puerta se haya abierto completamente. El cierre de la puerta se produce automáticamente transcurrido un cierto tiempo.

Responda lo siguiente:

- ¿Cuántos estados tiene el sistema?
- ¿Cuáles son las entradas y salidas del sistema?
- ¿Cuántos F/F J-K debemos usar en este sistema y por qué?
- Para este laboratorio utilizará sensores infrarrojos que simulen los sensores del tanque; además, investigue su funcionamiento y circuitos de acondicionamiento de acuerdo a los niveles bajo y alto de los F/F que utilizará en el montaje final.

Para realizar las pruebas:

- Construya el diagrama de estados para el sistema.
- Utilice la tabla de verdad para llenar la tabla de estados con las entradas y estados del sistema.
- Utilice diagramas de Karnaugh para representar las salidas del sistema en función de sus entradas. Posteriormente, resuélvalos y encuentre las ecuaciones de estados que rigen a cada F/F.
- Dibuje el circuito utilizando compuertas según las ecuaciones de estado.

- i.* Diseñe los capacitores y resistencias del modelo de multivibrador astable del circuito integrado 555 para un período de 2 segundos.

Puede ampliar estos temas en los capítulos 1 y 2 de Ndjountche (Digital Electronics: Sequential and Arithmetic Logic Circuits, 2016, pp.1-73).

Para profundizar en las máquinas de estado, consulte el libro Digital Electronics 3 (Finite-State Machines) de Tertulien Ndjountche (Ndjountche, Digital Electronics: Sequential and Arithmetic Logic Circuits, 2016).

Bibliografía

- Acha, S. (2006). *Electrónica Digital: Introducción a la lógica digital (Teoría, Problemas y Simulación)*. España: Ra-Ma.
- Alldatasheet. (21 de 12 de 2018). *Alldatasheet*. Obtenido de Alldatasheet: <http://pdf1.alldatasheet.com/datasheet-pdf/view/128897/FAIRCHILD/7483A.html>
- Arduino. (2 de 6 de 2018). *Arduino*. Obtenido de Arduino: <https://www.arduino.cc/>
- Baena, C. (1997). *Problemas de Circuitos y Sistemas Digitales*. Aravaca (Madrid): McGraw-Hill.
- Bignell, J. W. (1998). *Electrónica Digital*. México: CECSA.
- Bosco, U. N. (5 de 12 de 2018). *Facultad de Ingenieria*. Obtenido de Facultad de Ingeniería: <http://www.ing.unp.edu.ar/electronica/asignaturas/ee016/tutoriales/seguridad/desarrollo.htm>
- Calaza, G. T. (2009). *Proteus: Simulación de Circuitos Electrónicos y Microcontroladores a través de ejemplos*. Barcelona: Marcombo.
- Castillo, J. P. (2010). *Guía de Electrónica Digital*. Barranquilla: Universidad del Atlántico.
- Cherta, F. O. (1994). *Problemas de Electrónica Digital*. España: Paraninfo.
- DCAClab. (20 de 7 de 2018). *DCAClab*. Obtenido de DCAClab: <https://dcaclab.com/es/>
- Donate, A. H. (1995). *Electrónica Digital Práctica*. España: Marcombo.
- EasyEDA. (22 de 6 de 2018). *Una experiencia de diseño de circuito electrónico más fácil*. Obtenido de EasyEDA: <https://easyeda.com/>
- EveryCircuit. (9 de 7 de 2018). *Los Circuitos Están Mejor Animados*. Obtenido de Los Circuitos Están Mejor Animados: <http://everycircuit.com/>

- Floyd, T. L. (2015). *Digital Fundamentals* (Eleventh Edition ed.). United States of America: Pearson.
- Fritzing. (10 de 8 de 2018). *Fritzing*. Obtenido de Fritzing: <http://fritzing.org/home/>
- Galizia, C. A. (5 de 7 de 2018). *Evolución del Conocimiento sobre los Efectos de la Corriente*. Obtenido de Evolución del Conocimiento sobre los Efectos de la Corriente...: http://electronico.copaipa.org.ar/attachments/102_Evolucion_del_conocimiento_corriente_en_el_cuerpo.pdf
- Garza, J. A. (2006). *Sistemas Digitales y Electrónica Digital: Prácticas de Laboratorio*. México: Pearson.
- Karris, S. T. (2007). *Digital Circuit Analysis and Design with Simulink*. Melbourne, Florida: Orchard Publications.
- Logisim. (15 de 4 de 2018). *Logisim*. Obtenido de Logisim: <http://www.cburch.com/logisim/>
- Miguel, A. J. (14 de 5 de 2018). *Simulador de Construcción de Circuitos Digitales con Escenarios Virtuales y Tutoriales Interactivos*. Obtenido de Simulador de Construcción de Circuitos Digitales con Escenarios Virtuales y Tutoriales Interactivos: <http://www.tourdigital.net/SimuladorTTLconEscenarios.htm>
- MultisimLive. (26 de 11 de 2018). *MultisimLive*. Obtenido de MultisimLive: <https://www.multisim.com/>
- Ndjountche, T. (2016). *Digital Electronics 3: Finite-state Machines*. Great Britain and the United States: ISTE - Wiley.
- Ndjountche, T. (2016). *Digital Electronics: Combinational Logic Circuits* (Vol. 1). Great Britain and the United States: ISTE.
- Ndjountche, T. (2016). *Digital Electronics: Sequential and Arithmetic Logic Circuits* (Vol. 2). Great Britain and the United States: ISTE.
- Oliva, C. B. (1997). *Problemas de Circuitos y Sistemas Digitales*. España: McGraw-Hill.
- Padilla, A. G. (1989). *Electrónica General: Dispositivos y sistemas digitales*. España: McGraw-Hill.
- Padilla, G. (1997). *Electrónica Digital y Microprogramable*. Madrid: McGraw-Hill.
- Proteus. (25 de 11 de 2018). *Descargas de Proteus*. Obtenido de Descargas de Proteus: <https://www.labcenter.com/>
- Tocci, R. J. (2011). *Sistemas Digitales: Principios y Aplicaciones* (11 Edición ed.). Brasil: Pearson Prentice Hall.
- Tokheim, R. (2008). *Electrónica Digital: Principios y Aplicaciones*. México: McGraw-Hill.
- Usategui, J. A. (2007). *Electrónica Digital y Microprogramable*. España: Thomson.
- Zubía, J. G. (2003). *Problemas Resueltos de Electrónica Digital*. Navalcarnero (Madrid): Thomson.

Guía del informe de laboratorio de electrónica digital



UNIVERSIDAD DEL ATLÁNTICO
FACULTAD DE CIENCIAS BÁSICAS
PROGRAMA DE FÍSICA
LABORATORIO DE ELECTRÓNICA DIGITAL

TÍTULO DE LA EXPERIENCIA:

GRUPO No.

FECHA:

NOMBRES DE LOS INTEGRANTES DEL GRUPO:

1. INTRODUCCIÓN
2. OBJETIVOS
3. MATERIALES DE LA PRÁCTICA
4. ESQUEMAS DEL MONTAJE EXPERIMENTAL
5. TABLAS DE DATOS
6. PREGUNTAS PUNTUALES
7. ACTIVIDADES ADICIONALES
8. CONCLUSIONES GENERALES

NOTA:

- » El desarrollo de las **tareas preliminares** con la **bibliografía utilizada**, deben entregarse en Word, pdf o latex al inicio de la práctica.
- » Estas tareas se deben realizar en el orden propuesto en la guía del experimento.
- » Solo indique los materiales que utilizó en la práctica.
- » Los esquemas deben ser muy claros y bien diseñados.
- » Las tablas de datos se deben realizar solo si el experimento lo requiere y se hacen de acuerdo a los datos obtenidos en el laboratorio.
- » Las preguntas puntuales y las actividades adicionales, se deben desarrollar de acuerdo con el orden propuesto en la guía de laboratorio.

Este manual de electrónica digital contiene conceptos teóricos y prácticos que le sirven al estudiante en el desarrollo de habilidades y destrezas en el manejo, diseño, construcción, interpretación y simulación de circuitos electrónicos, y además, le brindan una base para continuar luego con aspectos más complejos sobre el campo profesional en el que se ubica la asignatura.

La metodología aplicada en el desarrollo de los experimentos contenidos en este manual consiste en los siguientes aspectos: objetivos del experimento, marco teórico, materiales, montaje y preguntas sobre la práctica, y enunciados de actividades extras, que el alumno debe realizar para afianzar los conocimientos adquiridos.

El manual lo conforman doce prácticas de laboratorio de Electrónica Digital que abarcan tres grandes temas que son los sistemas numéricos, circuitos combinatoriales y circuitos secuenciales.

Escanee el código QR para conocer más títulos publicados por el Sello Editorial Universidad del Atlántico



ISBN 978-958-5525-47-4



9 789585 525474 >